
Kapitel 4

Prozessentwicklung



In der vorliegenden Arbeit wurde ein materialschonender Gate-Last-Herstellungsprozess für MOS-Kondensatoren und -Transistoren mit High-*k*-Dielektrika und Metall-Elektroden auf Basis der Technologie einer universitären Si-Prozesslinie entwickelt. Neben einer Beschreibung der Prozessfolge des Gate-Last-Prozesses zeigt das folgende Kapitel die Prozessmodule, die im Rahmen dieser Arbeit neu- und aus der bestehenden Technologiebasis weiterentwickelt worden sind. Vorangestellt ist ein Kapitel zum neuentwickelten Testchip *TUD-T60*, der die Grundlage der Bauelementfertigung bildet.

4.1 Testchip TUD-T60

Der zu Beginn der Arbeit verfügbare Maskensatz des Testchips *TUD-T45* weist nur eine geringe Anzahl von elektrisch charakterisierbaren MOS-Strukturen auf. Nach einem vollständigen CMOS-Prozess stehen lediglich fünf p- und n-Kanal-MOS-Transistoren sowie vier MOS-Kondensatoren pro Chip zur Verfügung, was eine detaillierte und statistisch belastbare Untersuchung und eine Aussage über Parametervariation der hergestellten Bauelemente verhindert. Daher wurde ein neuer Testchip *TUD-T60* entwickelt und als Maskensatz bestehend aus sieben Ebenen gemäß Tabelle 4.1 im hauseigenen Maskenlabor gefertigt. Für die Herstellung eines MOS-Kondensators ist lediglich die Maskenebene 11 zur Strukturierung des Gate-Grabens notwendig, die Fertigung eines MOS-Transistors benötigt vier Maskenebenen und eine vollständige CMOS-Schaltung inklusive Isolationsprozess alle sieben Ebenen.

Maskenebene	Bezeichnung	Kondensator	Transistor	Schaltkreis
3	NWELL	Wannenimplantation		■
4	LOCOS	LOCOS-/ STI-Isolation		■
11	POLY	Gate-Elektrode	■	■
12	PIMP	Source-/Drain-Gebiete PMOSFET	■	■
13	NIMP	Source-/Drain-Gebiete NMOSFET	■	■
15	CONT	Kontaktloch	■	■
16	METAL	Verdrahtungsebene	■	■

Tabelle 4.1: Maskenebenen des Testchips *TUD-T60* für die Herstellung von MOS-Kondensatoren, MOS-Transistoren und CMOS-Schaltkreisen.

4.1.1 Layout

Die Kantenlänge des Testchips *TUD-T60* beträgt $630\ \mu\text{m} \times 630\ \mu\text{m}$, auf einer Maske für ein 4"-Substrat sind 124 Chips angeordnet. Auf dem Testchip *TUD-T60* ist eine Transistormatrix mit jeweils 25 n- und p-Kanal-MOS-Transistoren integriert. Die Gate-Längen und -Weiten betragen jeweils $5\ \mu\text{m}$, $10\ \mu\text{m}$, $20\ \mu\text{m}$, $40\ \mu\text{m}$ und $80\ \mu\text{m}$. Weiterhin befinden sich jeweils 7 MOS-Kondensatoren mit einer Fläche von $100\ \mu\text{m}^2$ bis zu $10.000\ \mu\text{m}^2$ auf dem Chip, die mit dem Faktor $\sqrt{10}$ skaliert sind.

Zur Charakterisierung des dynamischen Verhaltens von MOS-Bauelementen ist in das Layout

des Testchip *TUD-T60* ein Ringoszillator mit 21 Inverterstufen integriert. Beide Transistortypen – n-Kanal- und p-Kanal- – weisen eine einheitliche Gate-Länge von $L = 10\ \mu\text{m}$ auf. Die n-Kanal-Transistoren sind mit einer Gate-Weite von $W_N = 6\ \mu\text{m}$ konzipiert, die p-Kanal-Transistoren mit $W_P = 15\ \mu\text{m}$. In einer Schaltungssimulation wurde die Eigenfrequenz des Ringoszillators für einen Referenzprozess mit einem SiO_2 -Dielektrikum der Dicke $d_{\text{SiO}_2} = 20\ \text{nm}$ mit $f \approx 1,6\ \text{MHz}$ bestimmt.

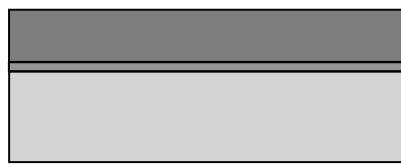
Weiterhin sind auf dem Testchip Tunneltransistoren sowie diverse Teststrukturen integriert, die zu Lehrzwecken bestimmt sind und auf die im Folgenden nicht weiter eingegangen wird.

4.2 Gate-Last-Herstellungsprozess für MOS-Transistoren

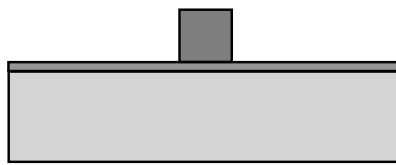
Bereits zu Beginn dieser Arbeit konnte durch die Herstellung funktionaler n-Kanal-Transistoren gezeigt werden, dass das im Rahmen dieser Arbeit entwickelte Gate-Last-Prozesskonzept prinzipiell funktioniert [159]. Die hergestellten n-Kanal-Transistoren waren zum damaligen Zeitpunkt die weltweit ersten Bauelemente mit kristallinem Gd_2O_3 -Dielektrikum und W-Elektrode. Die folgenden Unterkapitel beschreiben die prinzipiellen Prozessschritte sowie detailliert die (weiter)entwickelten und optimierten Module des Gate-Last-Prozesses. Eine detaillierte Auflistung aller 102 Prozessschritte zur Herstellung eines MOS-Transistors in einer Gate-Last-Technik ist in Anhang A zu finden.

4.2.1 Übersicht der Prozessschritte

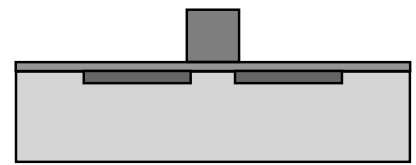
In Abbildung 4.1 ist eine Übersicht der Prozessmodule des optimierten Herstellungsprozesses für MOS-Transistoren skizziert. Der Prozess beginnt mit der Abscheidung des Schichtstapels zur Fertigung der Dummy-Strukturen bestehend aus einer thermisch gewachsenen SiO_2 -Schicht und einer in einem LPCVD-Prozess abgeschiedenen Poly-Si-Schicht. Der Poly-Si-Film wird nach einem Lithographieschritt mit der Maskenebene „11-POLY“ in einem Trockenätzprozess strukturiert. Die thermisch gewachsene SiO_2 -Schicht dient bei diesem Prozess als Ätzstopp und bei der folgenden Ionenimplantation der Source-/ Drain-Gebiete als Streuoxid. Der spätere Kanalbereich des MOS-Transistors wird nicht dotiert, da die Dummy-Struktur in dem selbstjustierenden Implantationsprozess maskierend wirkt. Nach einem Lithographieschritt der Maskenebene „12-PIMP“ bzw. „13-NIMP“ und dem Ionenimplantationsprozess der Source-/Drain-Gebiete wird das Streuoxid entfernt und eine Si_3N_4 -Schicht ganzflächig in einem PECVD-Verfahren über dem Substrat abgeschieden. Diese dient später im Prozess sowohl als Polierstoppschicht des SiO_2 -Planarisierungsprozesses als auch als Seitenwandschutz zur Verbesserung der Maßhaltigkeit bei der Entfernung der Dummy-Struktur. Es folgt die Abscheidung einer SiO_2 -Schicht in einem PECVD-Prozess und eine Temperung in N_2 -Atmosphäre. Durch den Hochtemperaturschritt werden die implantierten Dotierstoffe elektrisch aktiviert, die durch die Ionenimplantation verursachten Kristallschäden im Si-Substrat ausgeheilt und die Härte der SiO_2 - und Si_3N_4 -Schicht erhöht, was Dishing- und Erosions-Effekte im nachfolgenden chemisch-mechanischen Planarisierungsprozess der SiO_2 -Schicht reduziert. Die SiO_2 -Schicht wird bis zum Erreichen der Si_3N_4 -Schicht der Dummy-Struktur planarisiert. Im den folgenden Ätzprozessen werden die Si_3N_4 -Deckschicht sowie die Poly-Si-Dummy-Struktur und die darunter liegende SiO_2 -Schutzschicht



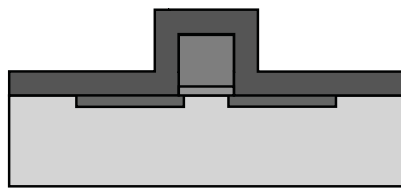
(a) Abscheidung des Schichtstapels der Dummy-Struktur.



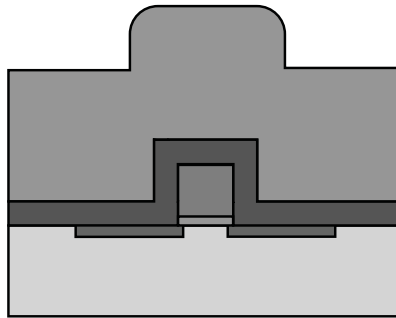
(b) Strukturierung der Dummy-Struktur.



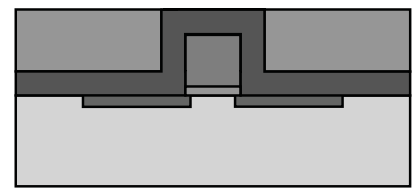
(c) Implantation der Source-/Drain-Gebiete.



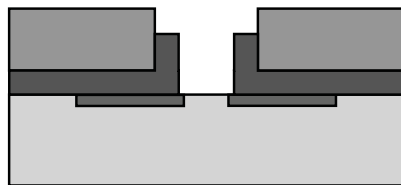
(d) Abscheidung der und Seitenwandschutz-Polierstoppschicht.



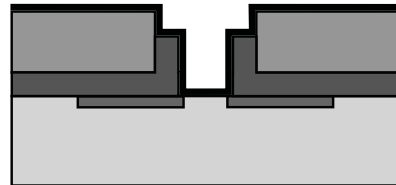
(e) Abscheidung der Alignmentschicht.



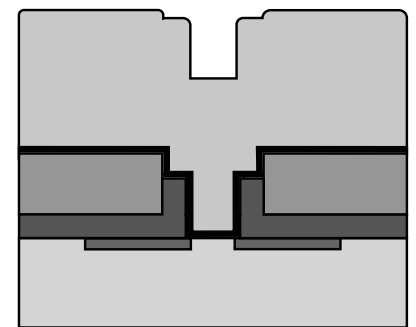
(f) Planarisierung der SiO_2 -Schicht.



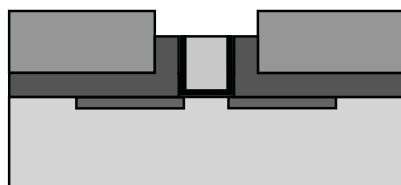
(g) Entfernung der Dummy-Struktur.



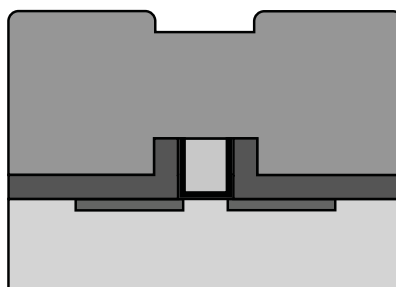
(h) Abscheidung/ Aufwachsen des High- k -Dielektrikums.



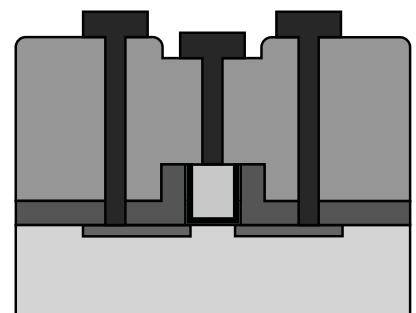
(i) Abscheidung des Elektroden-Materials.



(j) Planarisierung der W-Schicht.



(k) Abscheidung des Isolationsoxids.



(l) Strukturieren der Kontaktlöcher und Herstellung der Verdrahtungsebene.

Abbildung 4.1: Übersicht der Prozessschritte für die Herstellung von MOS-Transistoren in Gate-Last-Technik.

entfernt. In der planarisierten SiO_2 -Schicht ist nun ein maßhaltiger Negativabdruck der Dummy-Struktur in Form eines Grabens abgebildet. Die SiO_2 -Schicht wird daher auch als Alignment-toxid (engl. ausrichten) bezeichnet. Es folgt die ganzflächige Abscheidung bzw. das Aufwachsen des High- k -Dielektrikums und die Abscheidung des Elektroden- und CMP-Metalls. Die Metallschicht wird chemisch-mechanisch planarisiert und so weit abgetragen, bis die Alignment-toxid-Schicht wieder freigelegt und das Metall nur noch in den Grabenstrukturen vorhanden ist. Die Transistorstruktur mit Source-/ Drain-Gebieten, Dielektrikum und Gate-Elektrode ist damit fertiggestellt. Es folgt die Abscheidung einer SiO_2 -Isolationsschicht, die den MOS-Transistor vor Umwelteinflüssen wie Feuchtigkeit schützt, und die Strukturierung von Kontaktlöcher in einem Lithographieschritt mit der Maskenebene „15-CONT“. Eine abschließende Abscheidung und Strukturierung einer Metallschicht mit der Maskenebene „16-METAL“ zur Herstellung der Verdrahtungsebene und der Kontaktflächen zur elektrischen Charakterisierung des Bauelements mit Probernadeln vervollständigen den Herstellungsprozess für einen MOS-Transistor in einem Gate-Last-Verfahren. Eine detaillierte Beschreibung des Prozesses ist im Anhang A aufgeführt.

Ein Teil der aufgeführten verwendeten Prozessmodule wie die die Abscheidung von Metall-, Si_3N_4 - und SiO_2 -Schichten oder Lithographieprozesse konnten ohne aufwändigere Anpassungen aus der in der Prozesslinie etablierten Standardprozessen übernommen werden. Die in den folgenden Unterkapitel aufgeführten Module wurden im Rahmen dieser Arbeit neu- oder weiterentwickelt.

4.2.2 Schichtaufbau der Dummy-Struktur

Die Dummy-Struktur dient in der Prozessfolge der Gate-Last-Technik als Platzhalter für den späteren High- k -Metall-Schichtstapel und sollte eine Höhe von mindestens 350 nm aufweisen, damit die Auswirkungen von Dishing- und Erosions-Effekte durch die folgenden Planarisierungsprozesse minimiert werden. Die Chemie der im Rahmen dieser Arbeit verwendeten Poliermittel für SiO_2 -Schichten Cabot® D6720-C2 und Cabot® SS25-E ist darauf optimiert, den Planarisierungsprozess auf einer Si_3N_4 -Schicht zu stoppen (vgl. Kapitel 3.8.2). Eine Verdichtung der Si_3N_4 -Schicht durch eine Temperung in N_2 -Atmosphäre bei $T > 900^\circ\text{C}$ führt zu einer deutlichen Verbesserung der SiO_2 - Si_3N_4 -Selektivität des Planarisierungsprozesses und damit zu einer Reduzierung von Dishing- und Erosions-Effekten an den Dummy-Strukturen [160]. Die mechanische Zugspannung einer in einem PECVD-Verfahren auf einem Si-Substrat abgeschiedenen Si_3N_4 -Schicht wird durch eine Temperung bei $T = 300\text{--}600^\circ\text{C}$ nahezu verfünffacht, da die Zugspannung in einer quadratischen Abhängigkeit mit der Schichtdicke $d_{\text{Si}_3\text{N}_4}$ zunimmt [161]. Daher kann Si_3N_4 nur bis zu einer Dicke $d_{\text{Si}_3\text{N}_4} < 200\text{ nm}$ abgeschieden werden, um ein Reißen oder Abplatzen vom Si-Substrat bei einer Temperung zu verhindern. In einem APCVD-Prozess abgeschiedene Si_3N_4 -Schichten zeigen diesen Effekt schon nach der Abscheidung bei $T = 850^\circ\text{C}$, so dass eine Si_3N_4 -Schicht der Dicke $d_{\text{Si}_3\text{N}_4} = 350\text{ nm}$ als Material für eine Dummy-Struktur ausscheidet und zu Schichtstapeln wie in Abbildung 4.2 gezeigt übergegangen werden muss.

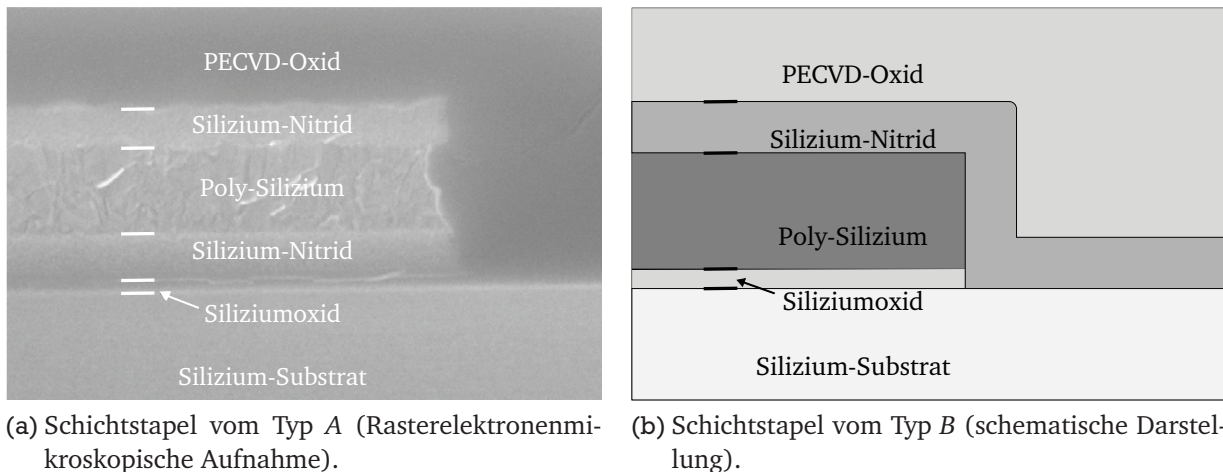
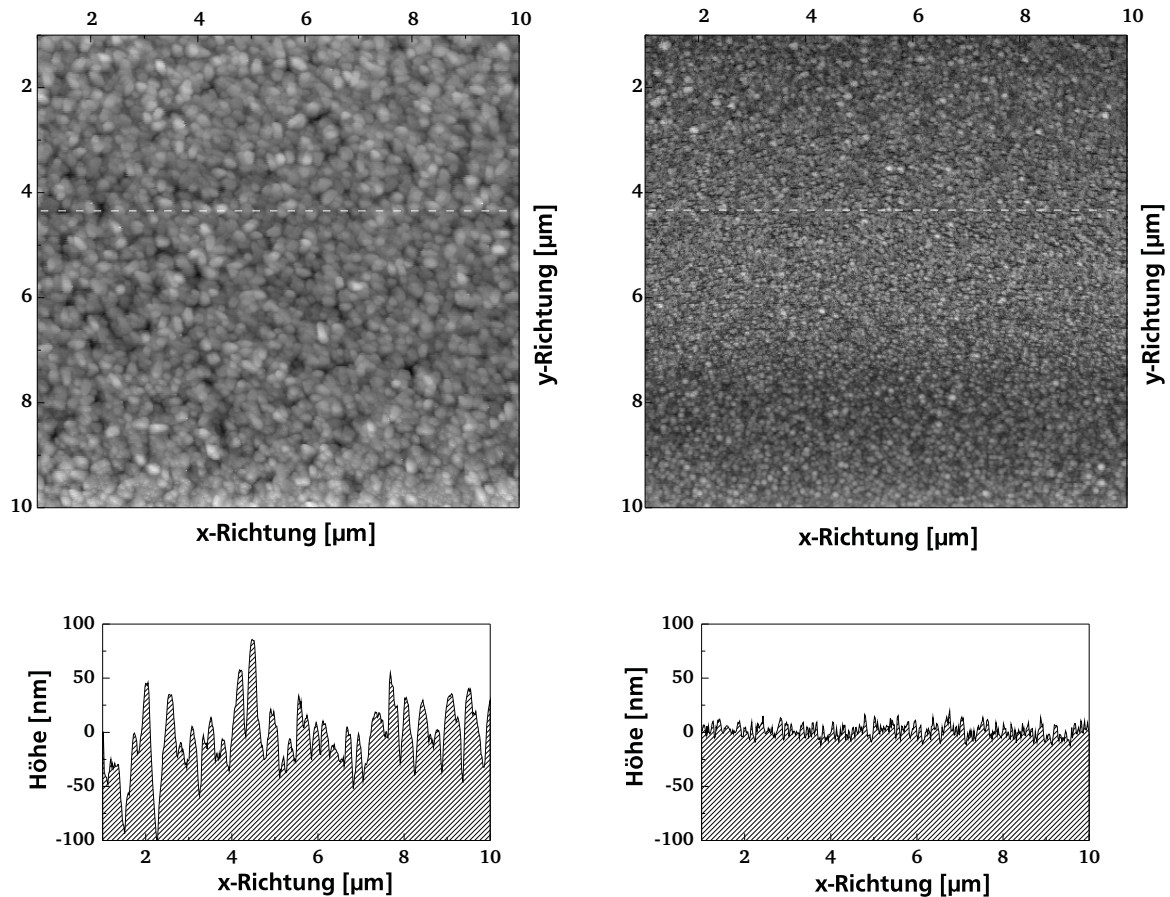


Abbildung 4.2: Schichtaufbau der Dummy-Strukturen vom Typ A und B.

Schichtstapel vom Typ A

Für die Herstellung der ersten MOS-Transistoren dieser Arbeit wurde wie in Abbildung 4.2a skizziert eine Dummy-Struktur aufgebaut in der Schichtfolge Si_3N_4 ($d_{\text{Si}_3\text{N}_4} = 150 \text{ nm}$)–Poly-Si ($d_{\text{Poly-Si}} \sim 250 \text{ nm}$)– Si_3N_4 ($d_{\text{Si}_3\text{N}_4} = 150 \text{ nm}$)– SiO_2 ($d_{\text{SiO}_2} = 50 \text{ nm}$) verwendet, die nachfolgend als Dummy-Struktur vom Typ A bezeichnet wird. Die Tiefe der entstehenden Gräben in der Alignmentoxidschicht nach der Entfernung der Dummy-Strukturen beträgt der gezeigten Schichtfolge nach im Idealfall $d = 550 \text{ nm}$, berücksichtigt man ein gleichzeitiges Rückätzen der Alignmentoxidschicht bei der Entfernung der SiO_2 -Schicht in der Graben-Struktur. Der Planarisierungsprozess weist mit den Poliermitteln *Cabot® D6720-C2* und *Cabot® SS25-E* eine hohe Selektivität gegenüber Poly-Si-Schichten auf, was theoretisch einen Verzicht auf die oberste Si_3N_4 -Schicht der Dummy-Struktur ermöglicht. Allerdings führt die in Abbildung 4.3a gezeigte hohe Rauheit der in einem APCVD-Verfahren abgeschiedenen Poly-Schicht zu einer unvollständigen Entfernung der SiO_2 -Schicht durch den Planarisierungsprozess in tiefer liegenden, löcher- und grabenartigen Strukturen der Poly-Si-Schicht. Die SiO_2 -Reste wirken maskierend bei der folgenden nass- oder trockenchemischen Entfernung der Poly-Si-Schicht.

Die Rauheit der in den Schichtstapeln vom Typ A verwendeten Poly-Si-Schicht ist in der hohen Prozesstemperatur ($T = 850 \text{ °C}$) der APCVD-Anlage begründet, da mit steigender Substrattemperatur die Korngröße einer polykristallinen Si-Schicht während des Abscheidungsprozesses zunimmt. Erst für Substrattemperaturen $T < 590 \text{ °C}$ liegt ein nahezu amorphes Schichtwachstum vor [111]. In diesem Temperaturregime ist eine Abscheidung einer Poly-Si-Schicht in einem CVD-Verfahren bei Atmosphärendruck jedoch nicht möglich. Die mittlere Dicke der Poly-Si-Schicht unterliegt bei Schichtstapeln vom Typ A einer starken Schwankung über der Substratfläche, da die Solldicke der Poly-Si-Schicht mit $d_{\text{Poly-Si}} = 250 \text{ nm}$ am unteren Spezifikationslimit der verwendeten APCVD-Anlage liegt. Um ein schädigendes Überätzen ins Si-Substrat während der Entfernung der Dummy-Struktur zu verhindern, wird unter der rauen Poly-Si-Schicht eine Si_3N_4 -Ätzstoppschicht deponiert. Die Dicke der Si_3N_4 -Schicht ist mit $d_{\text{Si}_3\text{N}_4} = 150 \text{ nm}$ so gewählt, dass ein Durchdringen der Ätzstoppschicht ausgeschlossen werden kann. Eine SiO_2 -Schicht gleicher Dicke ist für die Verwendung als Ätzstoppschicht ungeeignet, da die Alignment-Schicht bei



(a) Poly-Si aus einem APCVD-Verfahren: mittlere Rauheit $RMS=34,88$ nm, maximale Rauheit $R_{max}=133$ nm.

(b) Poly-Si aus einem LPCVD-Verfahren: mittlere Rauheit $RMS=9,91$ nm, maximale Rauheit $R_{max}=47$ nm.

Abbildung 4.3: Oberflächenrauheiten von in verschiedenen Verfahren abgeschiedenen Poly-Si-Schichten (Topographisches Profil: Aufsicht (oben) und Querschnitt (unten)).

der Entfernung der SiO_2 -Ätzstoppschicht in gleichem Maße abgetragen würde, was zu einer deutlichen Reduzierung der Grabentiefe führt. Um die mechanischen Spannungen der Si_3N_4 -Ätzstoppschicht aufzunehmen und die bestmögliche Qualität der Si-Oberfläche im Graben und damit im späteren Kanalbereich des MOS-Transistors zu erreichen, wird die Si_3N_4 -Schicht auf einer thermisch gewachsenen SiO_2 -Schicht der Dicke $d_{\text{SiO}_2}=50$ nm abgeschieden.

Schichtstapel vom Typ B

Der Schichtstapel vom Typ A stellt einen ersten erfolgreichen Ansatz zur Demonstration des Gesamtprozesskonzepts dar, zeigt aber insbesondere bei der Abscheidung der Poly-Si-Schicht deutlichen Optimierungsbedarf. Durch Kooperation mit dem Projektpartner AMO GmbH (Aachen) steht für Dummy-Strukturen vom Typ B ein LPCVD-Prozess für die Abscheidung von Poly-Si-Schichten zur Verfügung. Aufgrund der niedrigeren Abscheidetemperatur zeigen die abgeschiedenen Poly-Si-Schichten einen amorphen Schichtaufbau und wie in Abbildung 4.3b gezeigt eine deutliche geringere Rauheit im Vergleich zu einer in einem APCVD-Verfahren abgeschiedenen Poly-Si-Schicht des Schichtstapels vom Typ A.

Die Ätzstoppschicht zwischen Poly-Si-Schicht und Si-Substrat kann beim optimierten Schichtstapel vom Typ B mit einem dünnen, thermischen gewachsenen SiO_2 -Schicht realisiert werden, wodurch auf die in den Schichtstapel vom Typ A integrierte Si_3N_4 -Schicht unterhalb des Poly-Si-Films verzichtet werden kann. Somit besteht in der Abbildung 4.2b skizzierte Schichtstapel vom Typ B lediglich aus der Schichtfolge Poly-Si ($d_{\text{Poly-Si}}=300\text{ nm}$)– SiO_2 ($d_{\text{SiO}_2}=50\text{ nm}$). Nach der Strukturierung der Dummy-Struktur wird auf dem Substrat eine Si_3N_4 -Schicht der Dicke $d_{\text{Si}_3\text{N}_4}=150\text{ nm}$ abgeschieden, die die Dummy-Struktur sowohl auf der Oberseite als auch an den Seitenwänden bedeckt. Die Si_3N_4 -Schicht wird als Polierstopp auf der Oberseite der Dummy-Struktur verwendet und verhindert an den Seitenwänden eine Aufweitung des Grabens während der Entfernung der Dummy-Struktur, was die Maßhaltigkeit verbessert.

4.2.3 Herstellung der Transistoranschlusszonen

Die als Source und Drain bezeichneten, hochdotierten Anschlusszonen eines MOS-Transistors werden bei einem n-Kanal-Transistor durch einen Phosphor- und für p-Kanal-Transistoren durch einen Bor-Ionenimplantationsprozess hergestellt. Prozessparameter wie die optimale Implantationsdosis Q_{impl} und -energie E_{impl} wurde vor dem Beginn des Herstellungsprozesses mit den Technologiesimulatoren *T-Surprem4* und *ICECREM* bestimmt. Die maximale Fläche, die mit dem für diese Arbeit zur Verfügung stehenden Mittelstromimplanter implantiert werden kann, entspricht einem Quadrat mit einer Kantenlänge von 3 Zoll (7,5 cm). Bei der Verwendung von Substraten mit einem Durchmesser von 4 Zoll führt der kleinere Implantationsbereich jedoch nicht zu keiner nennenswerten Reduktion der Bauelementausbeute, da bei allen prozessierten Substraten der Randbereich mit einer Breite von ca. 1 cm als sogenannter Pinzettenrand frei von Strukturen gehalten wurde.

Ein schwerwiegenderes Problem stellte zu Beginn der Arbeit bei der Herstellung von p-Kanal-Transistoren die Ätzrate von Poly-Si-Schichten, die von der Dotierung abhängig ist [111]. Nach L. BALDI ET AL. ist die Ätzrate von Poly-Si-Schichten abhängig von der Anzahl der freien Elektronen im Poly-Si, da diese erst wie in Abbildung 4.4 skizziert eine Reaktion der im Ätzmedium enthaltenen Halogenatome wie Fluor (F), Chlor (Cl) oder Brom (Br) mit den Si-Atomen gemäß Gleichung 4.1 ermöglichen [162].

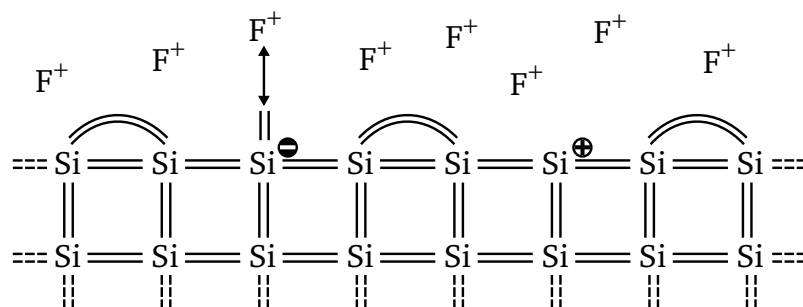


Abbildung 4.4: Mechanismus der Ätzung von Si-Schichten in einem fluorhaltigen Ätzmedium. Freie Elektronen an der Si-Oberfläche ermöglichen die Reaktion zwischen Fluor- und Silizium-Atomen, freie Löcher an der Oberfläche führen zu einer Passivierung der Si-Schicht.



Die Elektronenkonzentration einer undotierten Poly-Si-Schicht beträgt bei Raumtemperatur aufgrund thermisch bedingter Generationsprozesse $n_i \approx 10^{10} \text{ cm}^{-3}$ und kann durch eine Dotierung der Poly-Si-Schicht mit Phosphor erhöht werden, was zu einer im Vergleich zu einer undotierten Poly-Si-Schicht zu einer höheren Ätzrate führt. Wird eine Poly-Si-Schicht mit Bor dotiert, sinkt die Ätzrate signifikant, da die in die Schicht eingebrachten positiven Ladungen wie in Abbildung 4.4 skizziert zu einer Passivierung der Si-Oberfläche führen. Die in Tabelle 4.2 wurden im Rahmen dieser Arbeit für Poly-Si-Schichten, die sich in der Art der Abscheidung und der Dotierung unterscheiden, experimentell bestimmt.

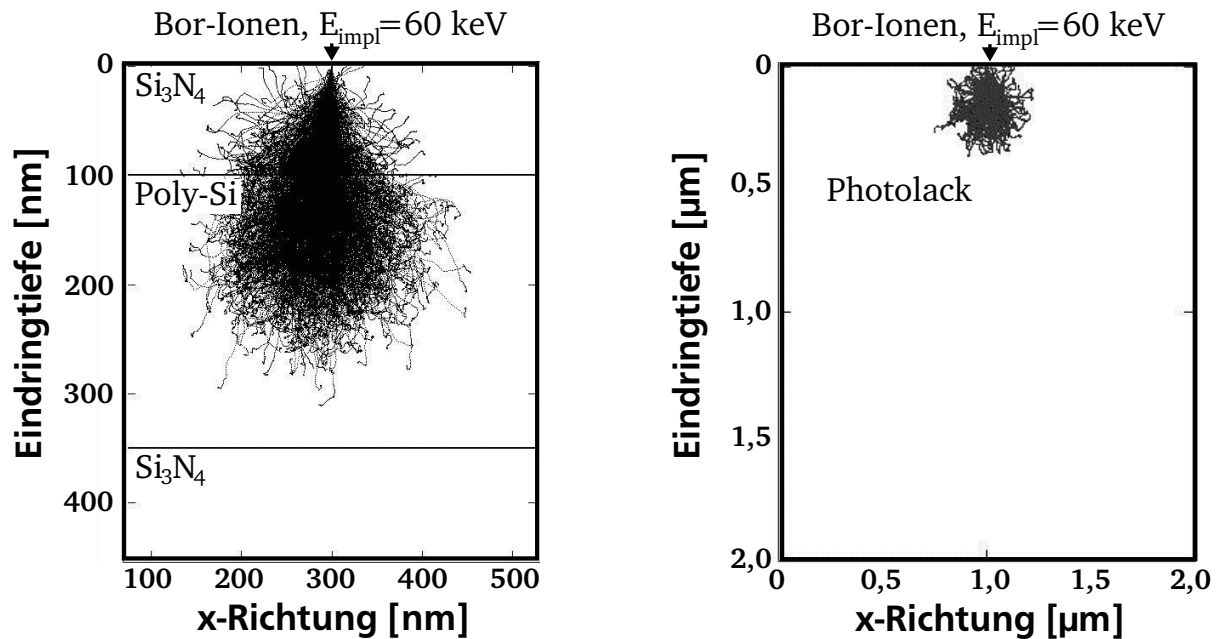
Material	Abscheideprozess	Dotierung	Ätzrate	
			nasschemisch	trockenchemisch
Poly-Si	APCVD	Bor	31 nm/min	131 nm/min
Poly-Si	APCVD	Phosphor	121 nm/min	270 nm/min
Poly-Si	APCVD	undotiert	102 nm/min	242 nm/min
Poly-Si	LPCVD	Bor	24 nm/min	175 nm/min
Poly-Si	LPCVD	Phosphor	55 nm/min	320 nm/min
Poly-Si	LPCVD	undotiert	42 nm/min	293 nm/min

Tabelle 4.2: Ätzraten von dotierten und undotierten Poly-Si-Schichten. Die nasschemische Ätzung erfolgte in einer Lösung aus $\text{HIO}_3\text{-NH}_4\text{F}$ (40%ig)- HF (50%ig)- H_2O , die trockenchemische Ätzung in einem HBr-Plasma.

In einem selbstjustierenden Ionenimplantationsprozess wird der Kanalbereich eines MOS-Transistors je nach Prozesskonzept durch die Gate- bzw. Dummy-Struktur maskiert. Die Dicke der Elektrode ist ausreichend, um ein Durchdringen der Dotierstoffatome zu verhindern. Bei der Herstellung von n-MOS-Transistor in einer Gate-Last-Technik sammeln sich die Phosphor-Atome in einem Schichtstapel vom Typ A der oberen Si_3N_4 -Schicht und in einem Schichtstapel vom Typ B in der Poly-Si-Schicht. Bei der Herstellung eines p-Kanal-Transistors gelangen jedoch Bor-Ionen aufgrund der größeren Masse bei einem Schichtstapel vom Typ A durch die Si_3N_4 -Schicht bis in die Poly-Si-Schicht. Mittels SRIM-Simulationen konnte wie in Abbildung 4.5a dargestellt nachgewiesen werden, dass die maximale Eindringtiefe der Bor-Ionen bei einer Implantationsenergie von $E_{\text{impl}} = 60 \text{ keV}$ und einer Si_3N_4 -Schichtdicke von $d_{\text{Si}_3\text{N}_4} = 100 \text{ nm}$ bei $y \approx 150 \text{ nm}$ liegt. Schichtstapel vom Typ B zeigen bei gleicher Implantationsenergie eine Eindringtiefe der Bor-Ionen von $y \approx 250 \text{ nm}$, da keine Si_3N_4 -Schicht die Bor-Ionen abbremst.

Somit führt insbesondere die Bor-Implantation zu einer Änderung der Dotierung in der Poly-Si-Schicht und damit wie in Tabelle 4.2 aufgeführt zu einer signifikanten Abnahme der Ätzrate. Durch einen Lithographieschritt werden vor dem Implantationsprozess die Anschlusszonen definiert, indem die Bereiche des Si-Substrats, die nicht dotiert werden sollen, durch eine Lackschicht geschützt werden. Der Lackfilm kann wie in Abbildung 4.5b gezeigt von den Bor-Ionen nicht durchdrungen werden und überdeckt auch Teile der Elektrode außerhalb der aktiven Transistorzonen, so dass diese nur partiell dotiert wird. Eine Dummy-Struktur weist somit unterschiedlich dotierte Gebiete mit signifikant unterschiedlichen Ätzraten bei der Entfernung des Poly-Si-Films auf. Dies ist in Abbildung 4.6 gezeigt.

Der Bor-implantierten Teilbereiche der Dummy-Struktur kann erst nach einer deutlichen Verlän-



(a) Dummy-Schichtstapel vom Typ A. Die Bor-Ionen durchdringen die Si_3N_4 -Schicht und werden in der Poly-Si-Schicht angesammelt. (b) Photolack. Die Bor-Ionen verbleiben in der Lack-schicht.

Abbildung 4.5: SRIM-Simulationen des Eindringverhaltens von Bor-Ionen in verschiedene Materialien in einem Ionenimplantationsprozess.

gerung der Ätzzeit vollständig entfernt werden. Dies setzt voraus, dass die unterliegende Schicht eine ausreichende Dicke sowie der Ätzprozess eine ausreichende Selektivität aufweist, um ein Überätzen in das Si-Substrat zu verhindern. Bei einem Schichtstapel vom Typ A ist dies durch eine unterliegende Si_3N_4 -Schicht gewährleistet, die aus Gründen der Rauheit der verwendeten APCVD-Poly-Si-Schicht vorhanden ist (vgl. Kapitel 4.2.2). Die Integration eines optimierten Schichtstapels vom Typ B ist ohne Änderung des Prozesskonzepts allerdings nicht möglich. Zwei Ansätze wurden dazu verfolgt:

- **Ganzflächige Bor-Dotierung der Poly-Si nach Abscheidung**

Durch eine ganzflächige Bor-Dotierung der Poly-Si-Schicht nach Abscheidung und vor der Strukturierung der Dummy-Struktur führt zu einer gleichen Ätzrate der Poly-Si-Schicht auf der gesamten Substratfläche. Die zusätzliche Bor-Anreicherung der p^+ -dotierten Poly-Si-Schicht durch die Dotierung der p^+ -Gebiete führt zu keiner weiteren Änderung der Ätzrate. Nachteilig ist allerdings die erhöhte Prozesszeit des Ätzprozesses, da sowohl bei der nass- als auch trockenchemischen Entfernung der Dummy-Struktur die Alignmentoxid-Schicht mit einer Rate von $r = 7 \text{ nm/min}$ abgetragen wird.

- **Doppellacktechnik**

Bei der Doppellacktechnik wird die Photolackschicht nach der Strukturierung der Dummy-Struktur nicht entfernt und maskiert den unterliegenden Poly-Si-Steg bei dem nachfolgenden Bor-Implantationsprozess. Die ursprüngliche Lackdicke von $d_{\text{Lack}} = 2,1 \mu\text{m}$ wird während der Prozessierung im HBr-Plasma auf $d_{\text{Lack}} \approx 1,4 \mu\text{m}$ reduziert. SRIM-Simulationen

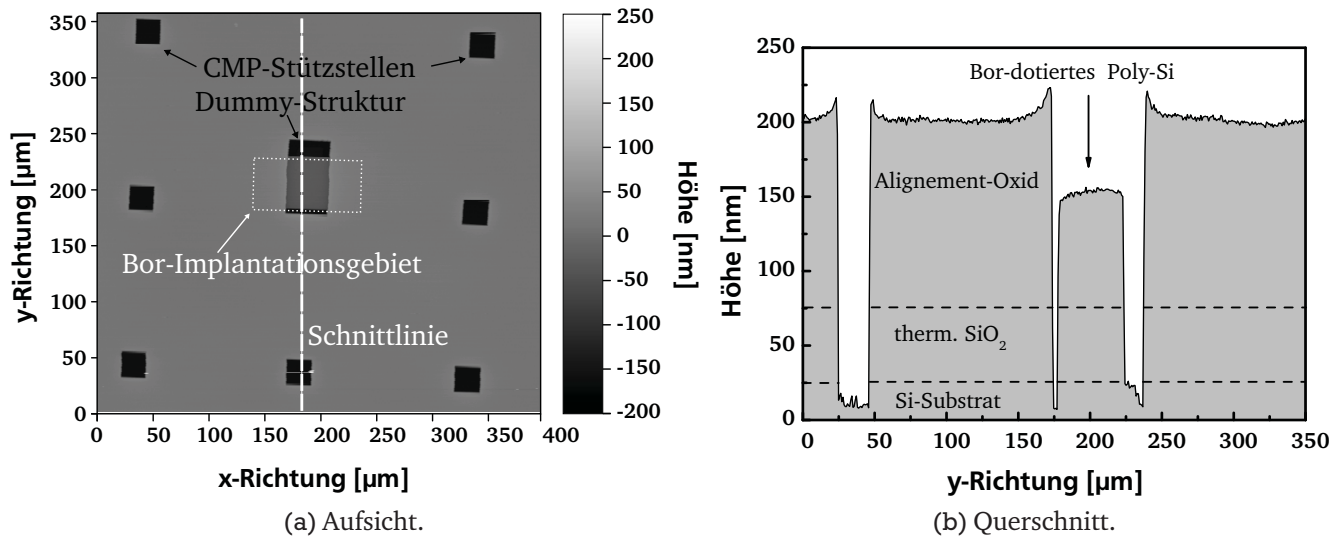
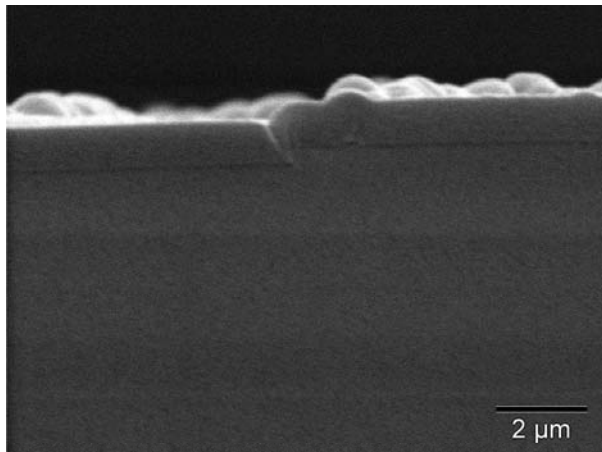


Abbildung 4.6: Topographie eines Si-Substrates nach partieller Entfernung der Dummy-Struktur. Durch die unterschiedliche Ätzraten von undotiertem und Bor-dotiertem Poly-Si weist die Dummy-Struktur Topographiestufen auf (Aufnahmen mit Oberflächenprofilometer *Dektak*® 8).

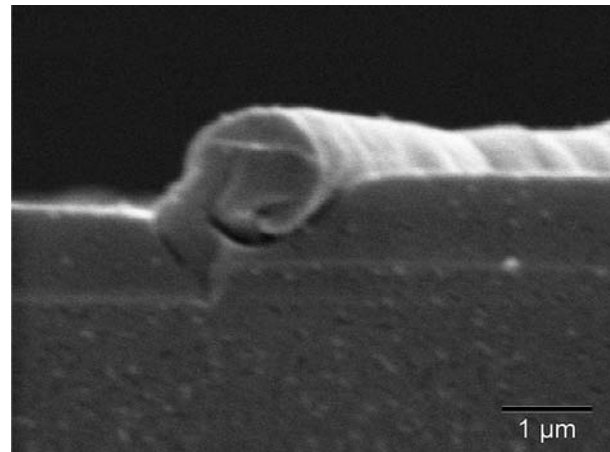
zeigen, dass die Lackdicke für diesen Verwendungszweck ausreichend ist (vgl. Abbildung 4.5b). Aufwändiger gestaltet sich die Entfernung der Lackschicht nach dem Implantationsprozess, da sich durch die doppelte Beanspruchung der oberflächennahe Quervernetzungsgrad der Lackschicht stark erhöht [118] und der Lackfilm insbesondere an den Rändern eine höhere Resistenz gegenüber gängigen Ablackmethoden wie das Veraschen in einem Sauerstoffplasma oder dem nasschemischen Auflösen in alkalischem *AZ*®-Remover aufweist. Die im Fabrikationsprozess nachfolgende Phosphor-Implantation der n^+ -Gebiete wird ohne zusätzliche Lackmaske auf den Dummy-Strukturen durchgeführt, da eine notwendige Justage nicht möglich und der Unterschied der Ätzraten von undotiertem und Phosphor-dotiertem Poly-Si vernachlässigbar ist.

4.2.4 Planarisierungsprozess für SiO_2 -Schichten

Auf die Herstellung der hochdotierten Anschlusszonen wie in Kapitel 4.2.3 beschrieben folgt der Kernprozess des *Gate-Last*-Prozesskonzepts mit der Fixierung von Form und Position der Dummy-Struktur. In diesem Teilprozess wird zunächst eine SiO_2 -Schicht der Dicke $d_{\text{SiO}_2} \approx 800 \text{ nm}$ in einem PECVD-Verfahren ganzflächig auf der Substratoberseite abgeschieden. Eine Temperung bei $T = 900^\circ \text{C}$ in N_2 -Atmosphäre führt neben der elektrischen Aktivierung der Dotierstoffatome und Ausheilen der Implantationsschäden im Si-Substrat zu einer Verdichtung der SiO_2 - und der darunterliegende Si_3N_4 -Polierstoppschicht. Dishing- und Erosions-Effekte könnte so verringert werden. Die Dicke der SiO_2 -Schicht muss an das Planarisierungsvermögen des verwendeten Poliermittels angepasst werden. Wird die Oberfläche im Vergleich zum Gesamtabtrag relativ langsam eingeebnet, muss die SiO_2 -Schichtdicke höher gewählt werden. Allerdings darf die Schichtdicke des Alignmentoxids nicht zu groß gewählt werden. Abbildung 4.7a zeigt eine rasterelektronenmikroskopische Aufnahme einer SiO_2 -Schicht, die auf einem strukturierten Si-Substrat in einem PECVD-Verfahren abgeschieden wurde abgeschieden wurde.



(a) Schichtstruktur nach der PECVD-Abscheidung bei $T=350\text{ °C}$.



(b) Schichtstruktur nach einer 30-minütigen N_2 -Temperung bei $T=900\text{ °C}$.

Abbildung 4.7: Rasterelektronenmikroskopische Aufnahmen einer SiO_2 -Schicht auf einem strukturierten Si-Substrat. Die Schicht weist nach der nichtkonformen Abscheidung und prozessbedingtem kompressivem Stress Erhebungen an den Kanten auf. Durch thermische Ausdehnung bei einer Temperung wird die SiO_2 -Schicht an diesen Schwachstellen unter Bildung von Lunker- und Rissstrukturen ineinander geschoben.

Die ungetemperte SiO_2 -Schicht weist durch eine nichtkonforme Abscheidung Erhebungen an den Kanten auf. Bei einer Temperung bei $T=900\text{ °C}$ wird in der SiO_2 -Schicht aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten von Si-Substrat und SiO_2 -Schicht ein kompressiver Stress aufgebaut, der an den Kanten zu Brüchen der SiO_2 -Schicht und zu Lunkerbildung führt. Diese Bruchkanten und Hohlräume müssen bei der Detektion des Endpunkts (vgl. Kapitel 4.2.4) berücksichtigt werden. Bei dünneren Alignmentoxid-Schichten, die jedoch einen CMP-Prozess mit besserem Planarisierungsvermögen voraussetzen, tritt dieser Effekt nicht mehr auf.

Nach dem PECVD-Abscheideprozess wird in einem Planarisierungsprozess die SiO_2 -Schicht im Idealfall bis zum Erreichen der Si_3N_4 -Stoppschicht auf den Dummy-Strukturen abgetragen. Die theoretischen Grundlagen des Planarisierungsprozesses für SiO_2 -Schichten und eine detaillierte Beschreibung der Prozessparameter sind in Kapitel 3.8 zu finden. Das folgende Unterkapitel zeigt die Ergebnisse der Prozessentwicklung und -optimierung.

Abhängigkeit vom Poliermittel

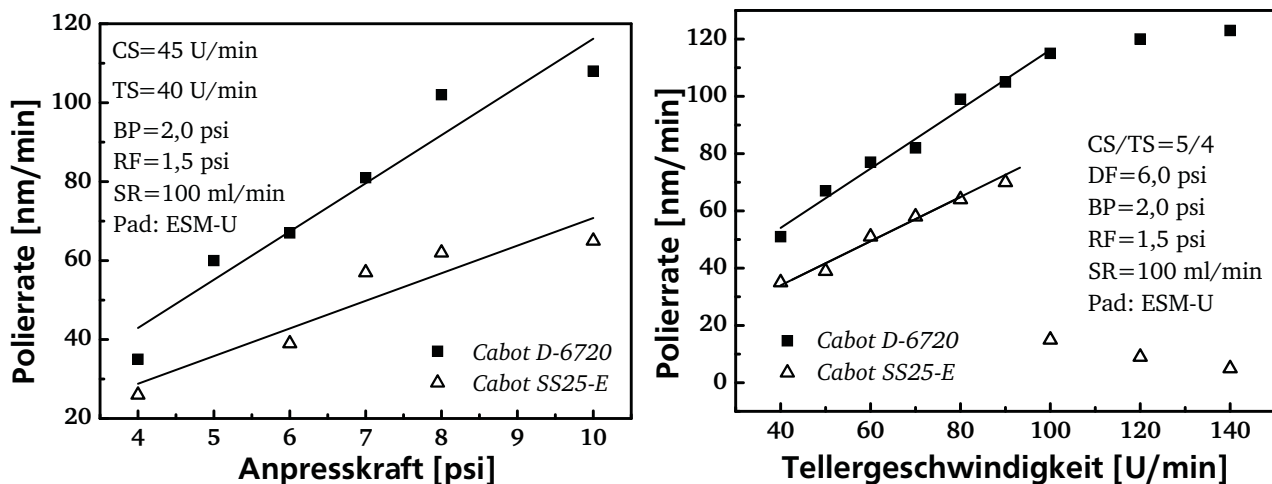
Die Planarisierung der Alignmentoxid-Schicht wurde mit einer CMP-Anlage vom Typ *Strasbaugh 6EC* durchgeführt. Zwei Poliermittel (*Cabot SS25-E[®]*, *Cabot D6720[®]*), deren Eigenschaften in Tabelle 4.3 zusammengefasst sind, wurden im Rahmen dieser Arbeit erprobt und eingesetzt.

Das SiO_2 -basierte Poliermittel *Cabot SS25-E[®]* weist im Vergleich zum CeO_2 -basierten Poliermittel sowohl für verschiedene Anpressdrücke DF als auch Tellereschwindigkeiten TS eine geringere Abtragsrate auf (vgl. Abbildung 4.8). Die Abtragsraten beider Poliermittel sind im Betriebsbereich nahezu linear zu Anpressdruck und Tellereschwindigkeit. Eine höhere Anpres-

	Cabot SS25-E®	Poliermittel Cabot D6720®
Abrasivart	SiO ₂	CeO ₂
Abrasivhärte (Mohs-Härte)	6,0	6,5-7,0
Durchschnittliche Abrasivgröße	150 nm	80 nm
Gewichtsanteil der Abrasive	12,5 %	<1 %
Chemie	KOH pH≈11	Additive zur Ratenkontrolle pH≈5
Abtragsmechanismus	primär mechanisch	mechanisch und chemisch
Selektivität zu Si ₃ N ₄ -Schichten	mittel	hoch

Tabelle 4.3: Vergleich der verwendeten Poliermittel für SiO₂-Schichten.

schaft $DF > 10$ psi führt zu einer Senkung der Abtragsrate für beide Poliermittel, da das Polierpad durch den Haltering wie ein Schwamm ausgedrückt wird und somit das Substrat suboptimal mit frischem Poliermittel versorgt wird. Das Poliermittel mit niedrigerer Selektivität *Cabot SS25-E*® zeigt für hohe Tellergergeschwindigkeiten TS eine deutliche Reduzierung des Abtragsvermögens. Dies wird auf den in Kapitel 3.8.2 beschriebenen „Hydroplaning-Effekt“ zurückgeführt.



(a) Abhängigkeit der Planarisierungsrate von der Anpresskraft.

(b) Abhängigkeit der Planarisierungsrate von der Tellergergeschwindigkeit.

Abbildungung 4.8: Planarisierungsraten für SiO₂-Schichten in Abhängigkeit von Polierdruck und Tellergergeschwindigkeit.

Die Selektivität zu Si₃N₄-Schichten ist für das SiO₂-basierte Poliermittel aufgrund des hohen mechanischen Anteils am Gesamtabtrag als schlecht zu bewerten. Bei höheren Polierdrücken $DF > 5$ psi und/ oder Tellergergeschwindigkeiten $TS > 50$ U/min werden SiO₂- und Si₃N₄-Schichten mit nahezu gleicher Abtragsrate planarisiert, was eine Endpunktdetektion unmöglich macht. Der Planarisierungsprozess stoppt bei beiden Poliermitteln auf einer Poly-Si-Schicht, die sich bei den Schichtstapeln vom Typ A und Typ B unterhalb der Si₃N₄-Stoppschicht befindet. Das vorwiegend mechanisch wirkende Poliermittel *Cabot SS25-E*® planarisiert eine Substratoberfläche mit hoher Strukturdichte zu Beginn des Planarisierungsprozesses mit einer deutlich höheren Abtragsrate schneller als das chemisch-mechanisch agierende Poliermittel *Cabot D6720*®. So-

mit benötigt *Cabot SS25-E[®]* aufgrund des besseren Planarisierungsvermögens eine geringere Ausgangsdicke der Alignmentoxid-Schicht und Dishing-Effekte sind weniger zu erwarten. Letztere treten insbesondere dann auf, wenn in der Mitte großer Strukturen ($>40\mu\text{m}$ Kantenlänge) noch SiO_2 -Reste auf der Stoppschicht vorhanden sind und diese durch Verlängerung der Prozesszeit entfernt werden müssen. Die Nachteile der beiden untersuchten Poliermittel und die zu erwartenden Probleme im Planarisierungsprozess sind in Abbildung 4.9 schematisch zusammengefasst.

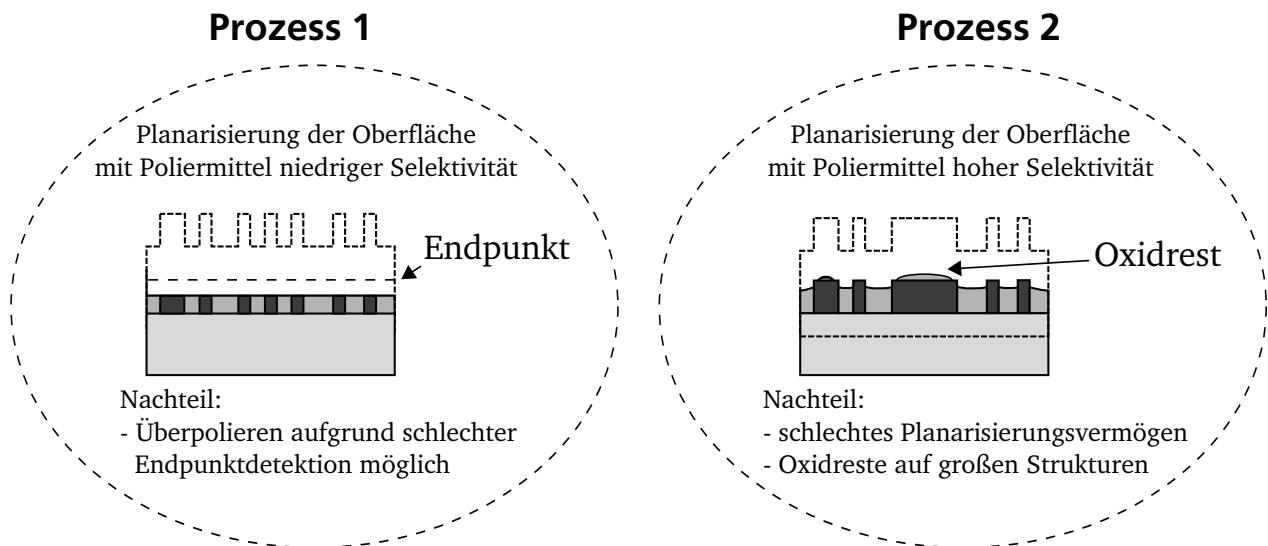


Abbildung 4.9: Nichtoptimierter Planarisierungsprozesse für SiO_2 -Schichten unter Verwendung von Poliermitteln mit niedriger (links) und hoher (rechts) Selektivität gegenüber Si_3N_4 -Schichten.

Eine Kombination der Vorzüge der untersuchten Poliermittel im Hinblick auf Planarisierungsvermögen und Selektivität ergibt den in Abbildung 4.10 skizzierten zweistufigen Planarisierungsprozess für SiO_2 -Schichten. Das Poliermittel mit der niedrigen Selektivität und dem hohen Planarisierungsvermögen dient der Einebnung der Substratoberfläche, der Planarisierungsprozess mit dem Poliermittel hoher Selektivität ermöglicht eine genaue Endpunktdetektion und verhindert so ein Überpolieren.

Durch dieses Verfahren wird die lokale Uniformität verbessert, der Dishing-Effekt des Alignmenttoxids und Erosions-Effekte der Dummy-Struktur minimiert, was eine maximalen Grabentiefe für Metall-Planarisierungsprozess ermöglicht. Weiterhin kann die Dicke des Alignmenttoxids im Vergleich zur alleinigen Verwendung des CeO_2 -basierten Poliermittels um 30 % reduziert werden, was zu einer kürzeren Prozesszeit, verringertem Verbrauch an Poliermittel und einer besseren globalen Uniformität führt. Ein in-situ-Wechsel des Poliermittels und damit ein Planarisieren eines Substrates in nur einem Prozessschritt ist mit der vorliegenden Konfiguration der CMP-Anlage *Strasbaugh 6EC* nicht möglich, eine Erweiterung um ein zweites Pumpensystem ist jedoch prinzipiell durchführbar.

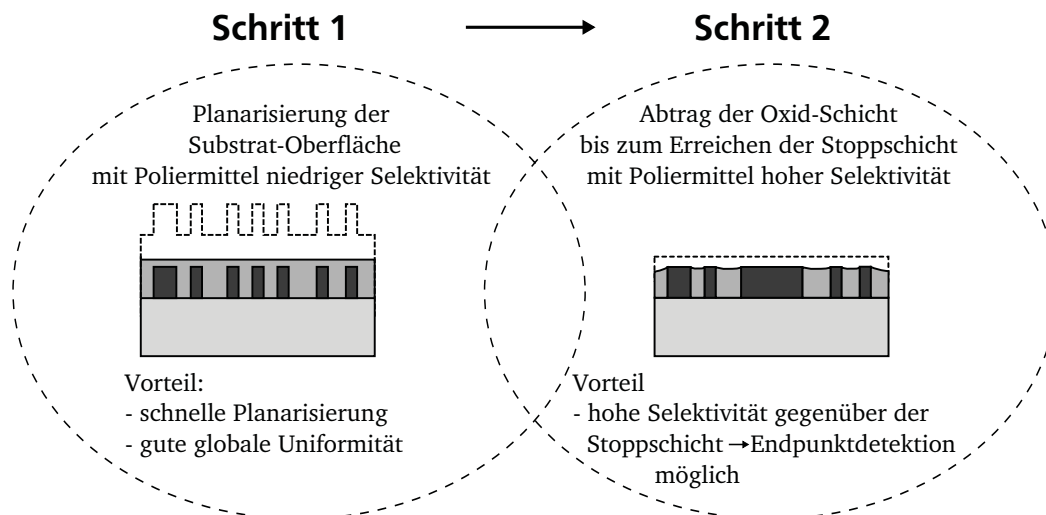


Abbildung 4.10: Optimierter zweistufiger Planarisierungsprozess für SiO_2 -Schichten unter kombinierter Verwendung von Poliermitteln mit niedriger und hoher Selektivität gegenüber Si_3N_4 -Schichten.

Optimierung der Anlagenparameter

Wie in Kapitel 3.8.3 beschrieben, bietet die im Rahmen dieser Arbeit verwendete CMP-Anlage dem Anwender eine Vielzahl an Parametern zur Prozesssteuerung. Diese wurden für den vorliegenden Anwendungsfall des Gate-Last-Prozesskonzepts optimiert und werden im Folgenden erläutert.

Anpresskraft

Die Anpresskraft DF hat wesentlichen Anteil an der Poliertrate r und der globalen Uniformität. Der Betriebsbereich der CMP-Anlage *Strasbaugh 6EC* wurde mit $4 \text{ psi} < DF < 10 \text{ psi}$ bestimmt. Für kleinere Anpresskräfte ist nicht mehr garantiert, dass das Substrat während des Prozesses vom Polierkopf gehalten werden kann. Übersteigt die Anpresskraft einen Wert von $DF > 10 \text{ psi}$, so wird die Substratoberfläche mit Poliermittel unterversorgt und die Poliertrate sinkt signifikant, da das rotierende Poliertuch vom Polierkopf wie ein Schwamm ausgequetscht wird. Insbesondere das Poliermittel mit hoher Selektivität *Cabot D6720®* zeigt für Anpresskräfte $DF > 6 \text{ psi}$ ein deutliches Überpolieren in der Mitte strukturierter Substrate. Die Ursache liegt in der zu planarisierenden SiO_2 -Schicht, die nach der PECVD-Abscheidung bei $T = 350^\circ\text{C}$ eine Druckspannung aufgrund der Unterschiede der thermischen Ausdehnungskoeffizienten von Si und SiO_2 aufbaut und das Substrat tellerförmig verbiegt. Daher ist die Abtragsrate in der Substratmitte aufgrund des höheren Drucks höher im Vergleich zum Randbereich. Für unstrukturierte, planare Substrate wurde dieser Effekt nicht beobachtet. Die Anpresskraft ist bei der verwendeten CMP-Anlage bauartbedingten Schwankungen unterlegen, so dass nach längeren Standzeiten eine Kalibration mittels einer Wägezelle notwendig ist.

Ringkraft

Die Ringkraft (RF) wurde minimal so eingestellt, dass das Substrat während des Planarisierungsprozesses innerhalb des Halterings verbleibt. Wird eine zu hohe Ringkraft gewählt, wird analog zur Anpresskraft die Substratoberfläche nicht ausreichend mit frischem Poliermittel versorgt.

Eine Einstellung der Abtragsrate im Bereich des Substratrandes ist mit der vorliegenden Anlage durch Variation der Ringkraft nicht zufriedenstellend möglich. Dies spielt allerdings nur eine untergeordnete Rolle, da der Substratrand durch Randentlackung bei Lithographieprozessen frei von Strukturen ist und ein Über- bzw. Unterpolieren keinerlei Auswirkung auf die Bauelement-Ausbeute hat.

Rückseitendruck

Die Höhe des Rückseitendrucks (BP) ist von zwei Faktoren limitiert. Einerseits wird durch einen zu hoch gewählten Rückseitendruck $BP > 4$ psi das Substrat aus dem Haltering gepresst und verlässt den Polierkopf. Gelingt es, diesen Effekt durch eine hohe Ringkraft (RF) und Anpresskraft (DF) zu unterbinden, führt ein Rückseitendruck $BP > 4,5$ psi zu einer lokalen Erhöhung der Abtragsrate im Bereich der Luftauslässe im Polierkopf. Dies wird besonders auf der Oberfläche von planaren Substraten deutlich, auf die sich nach dem Planarisierungsprozess die Anordnung der Luftlöcher überträgt. Die Polierrate im äußeren Bereich vorstrukturierter Substrate kann bei dem verwendeten Polierkopf nicht durch das gezielte Verschließen der Öffnungen im Polierkopf im Bereich der Substratmitte erhöht werden, da die Löcherdichte in den äußeren Bereichen des Substrats nicht hoch genug ist, um einen ausreichenden Zusatzdruck homogen aufzubauen.

Extension

Die Extension WE der Substrate aus dem Polierkopf wurde mit unstrukturierten, planaren Substraten bestimmt, da der Dickenunterschied zu einem strukturierten Substrat vernachlässigbar gering ist. Im Rahmen dieser Arbeit wurden Substrate verschiedener Hersteller (*Okmetic*, *Si-Mat*) verwendet, die alle eine Dicke von $525\text{ }\mu\text{m}$ bzw. $575\text{ }\mu\text{m}$ aufweisen. Als ideal hat sich eine Extension von $7\text{--}9\cdot 1/1000$ herausgestellt, was einer Anhebung des Halterings um $275\text{ }\mu\text{m}$ bzw. $325\text{ }\mu\text{m}$ entspricht. Die verschleißbedingte Abnahme der Dicke der Trägerfolie (vgl. Abbildung 3.4b) ist vernachlässigbar in Bezug auf die Extension.

Zuflussrate Poliermittel

Eine optimale Zuflussrate des Poliermittels SR ist für beide verwendeten Poliermittel des SiO_2 -Planarisierungsprozesses $SR = 90\text{--}110$ ml/min bei einer Tellereschwindigkeit von $TS = 60$ U/min. Höhere Zuflussraten begünstigen die als „Hydroplaning Modus“ (vgl. Kapitel 3.8.2) bezeichnete signifikante Abnahme der Polierrate sowie erhöhen der Poliermittel-Verbrauch. Niedrigere Zuflussraten führen zu reduzierten Polierraten, da der Antransport frischen und der Abfluss verbrauchten Poliermittels nebst Reaktionsprodukten suboptimal verläuft.

Drehzahl des Poliertellers

Die Drehzahl des Poliertellers TS , die der Drehzahl des Poliertuchs entspricht, ist im Betriebsbereich der CMP-Anlage nahezu proportional zur Abtragsrate r . Eine optimale Drehzahl liegt im Bereich von $TS = 50\text{--}80$ U/min. Höhere Drehzahlen führen zu einer Abnahme der Abtragsrate und zu einem erhöhten Risiko des Substratbruchs, wenn dieser unvorhergesehen den Polierkopf verlässt und nicht schnell genug manuell eingegriffen werden kann.

Drehzahl des Polierkopfs

Der Drehzahl des Polierkopfs CS sind technisch gesehen keine Begrenzungen im Bereich von $CS = 0\text{--}200$ U/min gesetzt. Das beste Polierergebnis in Bezug auf globale Uniformität wird dann erreicht, wenn die Drehzahl der Polierkopfs mit $CS = 40\text{--}64$ U/min ca. 10–20 % geringer ist als

die Drehzahl der Poliertellers.

Konditionierung des Poliertuchs

Alle Experimente zum Einfluss des Konditionierprozesses auf das Polierergebnis wurden mit einer *Grid 80 Diamond Disc*-Konditionierscheibe, *Cabot D6720*[®]-Poliermittel sowie einem *JH Rhodes ESM-U*-Polierpad durchgeführt. Versuche ohne den Einsatz der Konditioniereinheit zeigen, dass eine merkliche und kontinuierliche Abnahme der Polierrate für Polierzeiten $t > 180$ s einsetzt. Da übliche Planarisierungszeiten in der Regel in einer Größenordnung $t > 300$ s liegen, muss eine in-situ Konditionierung des Poliertuchs gewählt werden. Ein guter Parametersatz zur in-situ Konditionierung wurde mit einem Anpressdruck von $DF \sim 13$ lbs, einer Drehzahl des Poliertellers von $TS \sim 75$ U/min sowie einer Pause von $t = 30$ s zwischen zwei Konditionierzyklen bestimmt. Ein höherer Anpressdruck führt zu einer deutlich beschleunigten Abnutzung des Poliertuchs. Weiterhin empfiehlt sich vor Beginn jedes Planarisierungsprozesses eine ex-situ-Konditionierung von mindestens 120 s Dauer, um einen definierten und stabilen Zustand des Poliertuchs zu gewährleisten.

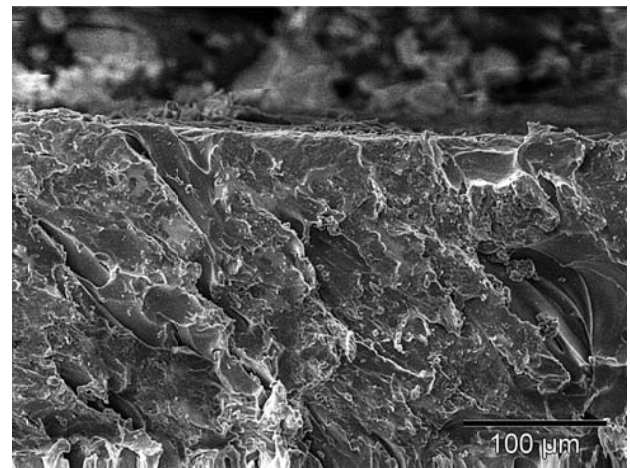
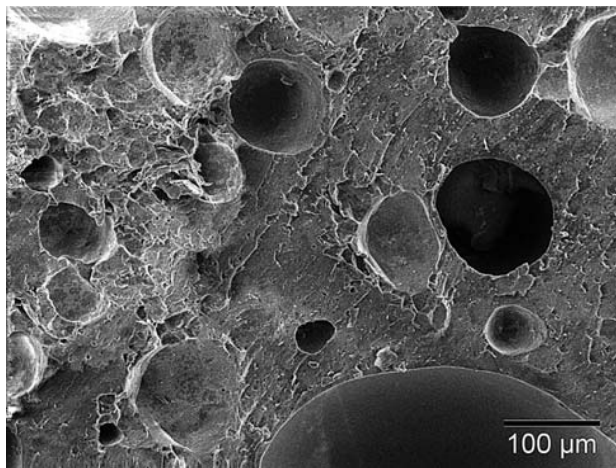
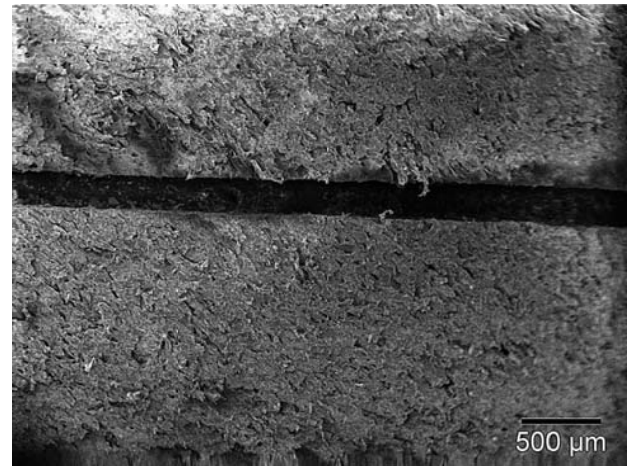
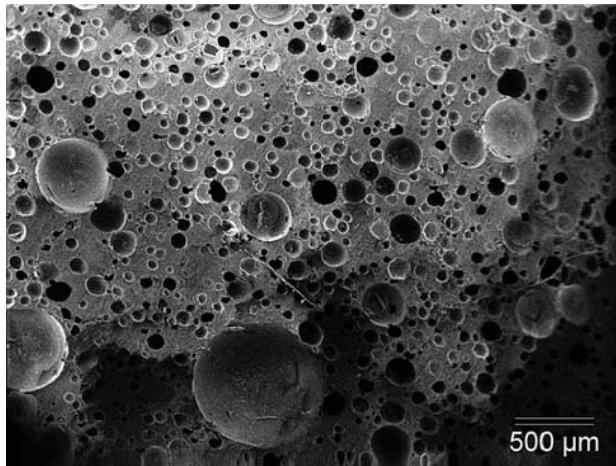
Der Break-In-Prozess zum Einfahren eines neuen Poliertuchs sollte mindestens 20 min dauern und kann mit deionisiertem Wasser und ohne Poliermittel durchgeführt werden. Der optimale Anpressdruck für diesen Prozess wurde mit $DF = 16$ lbs bestimmt.

Einfluss des Poliertuchs

Im Rahmen dieser Arbeit wurden zwei verschiedene Poliertücher erprobt und verwendet. Das Poliertuch *JH Rhodes ESM-U* besteht aus einem relativ weichen, mikrozellular aufgeschäumten Elastomer. Die Oberfläche ist sehr offenporig, was einen sehr guten Transport des Poliermittels ermöglicht, allerdings auch Dishing- und Erosions-Effekte begünstigt. Das Poliertuch *Cabot Epic*[®] *D100* besteht aus einem thermoplastischen Blockpolymer auf Urethanbasis mit harten und weichen Segmenten. Die Oberfläche ist deutlich härter und die Poren sind kleiner und dichter verteilt im Vergleich zum Poliertuch *JH Rhodes ESM-U*. Um einen ausreichenden Transport des Poliermittels und der Reaktionsnebenprodukte zu ermöglichen, ist das Poliertuch mit konzentrischen Gräben durchzogen. Die rastermikroskopischen Aufnahmen in Abbildung 4.11 zeigt die Unterschiede der Oberflächen der verwendeten Poliertücher.

Experimente mit strukturierten Substraten zeigten, dass das weichere Poliertuch *JH Rhodes ESM-U* geeigneter für die Planarisierung der Alignmentoxid-Schicht ist. Wie in Abbildung 4.12 illustriert, schmiegt sich das weiche Poliertuch stärker an die Flanke der zu planarisierenden Struktur an. Dies führt zu einer lokalen Erhöhung des Polierdrucks, was einer erhöhten Polierrate gleichzusetzen ist. Das härtere Poliertuch *Cabot Epic*[®] *D100* ist steifer und planarisiert bei sonst gleichen Prozessbedingungen langsamer.

Beide Poliertücher zeigen bei unstrukturierten Substraten ähnliche Abtragsraten, jedoch ist die globale Uniformität bei Verwendung des härten Polierpads im Vergleich zum weicheren Polierpad als besser zu bewerten. Optimal wäre analog der Auswahl des Poliermittels ein zweistufiger Planarisierungsprozess unter Kombination der Vorteile und Ausblendung der Nachteile beider Poliertücher. Dieser Ansatz ist aber aus ökonomischen Gründen nicht praktikabel.

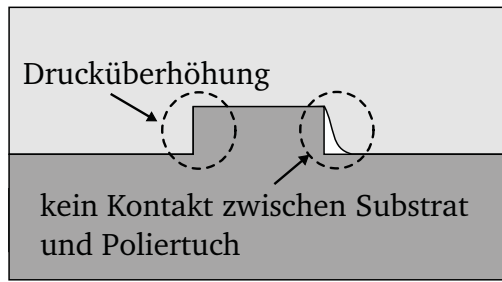


(a) JH Rhodes ESM-U

(b) Cabot Epic® D100

Abbildung 4.11: Rasterelektronenmikroskopische Aufnahmen der Oberfläche der verwendeten Poliertücher. Das weichere Poliertuch *JH Rhodes ESM-U* weist eine sehr offenporige Oberfläche auf, was den Transport von Poliermittel und Reaktionsnebenprodukten begünstigt. Die Oberfläche des härteren Poliertuchs *Cabot Epic® D100* ist deutlich planarer. Der Transport des Poliermittels wird durch in die Oberflächenstruktur des Poliertuchs eingearbeitete konzentrische Grabenstrukturen realisiert. Beide Aufnahmen zeigen, dass die Annahme einer vollständig planaren Oberfläche eines idealen Poliertuchs nicht zutrifft.

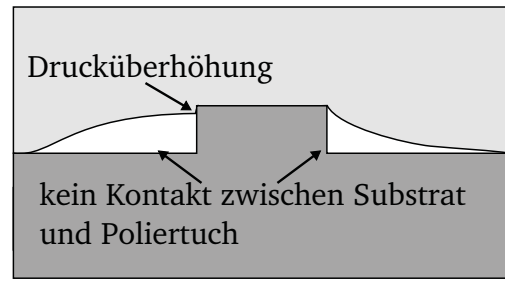
Bewegungsrichtung des Polierts



Bewegungsrichtung des Substrats

(a) Weiches Polierts (*JH Rhodes ESM-U*).

Bewegungsrichtung des Polierts



Bewegungsrichtung des Substrats

(b) Hartes Polierts (*Cabot Epic® D100*).

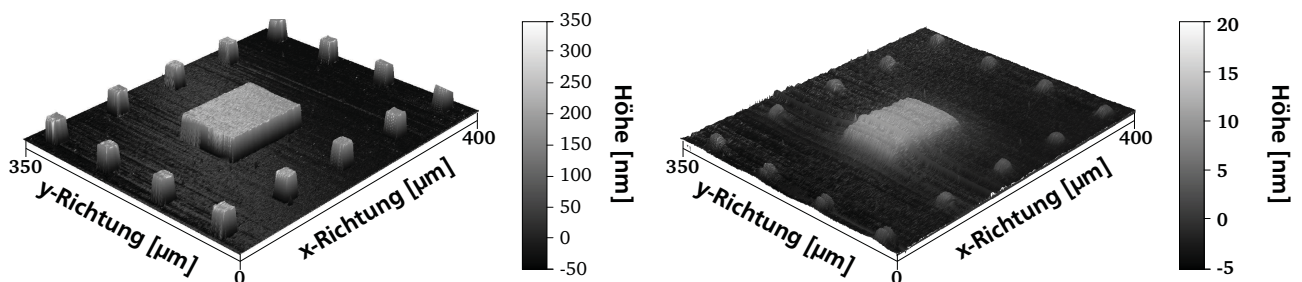
Abbildung 4.12: Einfluss der Härte des Polierts auf das Planarisierungsvermögen eines CMP-Prozesses. Der Polierdruck ist an den Deformationsstellen des Polierts größer, was zu einem erhöhten Abtrag führt.

Bevorratung von Poliermittel für SiO_2 -Schichten

Um eine gebrauchsfertige Polierlösung herzustellen, muss den beiden Konzentraten der verwendeten Poliermittel jeweils deionisiertes Wasser zugemischt werden. Die Gebrauchshinweise der beiden Poliermittel für SiO_2 -Schichten *Cabot SS25-E®* und *Cabot D6720®* weisen keine Haltbarkeit der so angesetzten Mischung aus. Da im Gegensatz zum Poliermittel für W-Schichten *Cabot W-6300®* keine kontinuierliche Zersetzung einer chemischen Komponente des Poliermittels auftritt, sollte keine Änderung des Poliervermögens einer Polierlösung über einen längeren Zeitraum auftreten. Jedoch wurde insbesondere bei dem SiO_2 -basierten Poliermittel *Cabot SS25-E®* eine Abnahme der Polierrate über die Zeit bei sonst gleichem Prozessparametersatz beobachtet, die zusammen mit einer erhöhten Oberflächenrauheit der planarisierten SiO_2 -Schicht auftrat. Die Ursache wurde in einem Verklumpen der Abrasivpartikel gefunden, die durch extensives Rundpumpen des Poliermittels Vorratsgefäß gefördert wird. Das Poliermittel wird mit einer Membranpumpe zur CMP-Anlage befördert und über eine Nebenleitung an der Pumpe wieder in das Vorratsgefäß zurückgeleitet, wenn sich die CMP-Anlage im Stillstand befindet. Da die Standzeiten aufgrund der aufwändigen Endpunktdetektion des SiO_2 -Planarisierungsprozesses relativ hoch und der Inhalt des Vorratsgefäßes mit 15 l im Vergleich zu industriell genutzten Anlagen relativ gering ist, wird das Poliermittel sehr lange und stark vermischt, was eine Agglomeration der Abrasivpartikel deutlich begünstigt. Die verklumpten Partikel haben einen Durchmesser $>1 \mu\text{m}$, was eine messbare Schädigung der Oberfläche der SiO_2 -Schicht verursacht, die sich dann in einer erhöhten Rauheit widerspiegelt. Gleichzeitig nimmt die Konzentration der feinen Abrasivpartikel ab, was eine Reduzierung der Polierrate zur Folge hat. Der Wechsel zu einem deutlich größeren Vorratsgefäß mit 100 l Inhalt würde dieses Problem jedoch beheben, ist aus ökonomischer Sicht für den universitären Forschungsbetrieb jedoch nicht ratsam. Ähnliche Mechanismen wurden von LAN ET AL. [163] und SINGH ET AL. [164] für SiO_2 -basierte Poliermittel beobachtet.

Die Detektion des Endpunkts gestaltet sich für den entwickelten Planarisierungsprozess für SiO_2 -Schichten als sehr aufwändig, da im Vergleich zu CMP-Anlagen, die dem Stand der Technik entsprechen, die verwendete CMP-Anlage über keine in-situ Endpunktdetektion verfügt. Eine Übersicht der gängigen industriellen Endpunkt-Detektionsmethoden ist in [165] ausführlich erläutert. Auch scheidet eine von BIH-TIAO ET AL. [166] vorgeschlagene Messung der Leistungsaufnahme von Teller- und Polierkopfantrieb aus, dessen Zu- oder Abnahme aufgrund der mechanischen Widerstandsänderung beim Erreichen der Stoppschicht detektiert werden kann. In der vorliegenden Anlage *Strasbaugh 6EC* verhindern sowohl die zu geringe Fläche der verwendeten 4 Zoll-Substrate als auch die zyklische in-situ Verwendung der Konditioniereinheit die Feststellung einer Leistungsänderung von Teller- und Polierkopfantrieb, die eindeutig einem Erreichen der Si_3N_4 -Stoppschicht zugeordnet werden kann.

Zu den ex-situ Verfahren zur Detektion des Endpunkts, die für diese Arbeit zur Verfügung standen, gehören die Messung der Topographie der planarisierten Substrate mittels Rasterkraftmikroskopie oder Oberflächenprofilometrie, Ellipsometrie und Rasterelektronenmikroskopie. Letzteres Verfahren ist für diese Anwendung ungeeignet, da die Probe gebrochen werden muss und damit nicht weiter prozessiert werden kann sowie die notwendige Auflösung im Bereich weniger Nanometer nicht erreicht wird. Die Ellipsometrie stößt bei der prozessbedingten Rauheit der SiO_2 -Oberfläche sowie an dem Si_3N_4 – SiO_2 -Mehrschichtstapel vom Typ B an Grenzen. Weiterhin ist bei stark schwankenden oder unbekannten Abtragsraten, wie sie bei instabilen Planarisierungsprozessen auftreten, die gemessene SiO_2 -Schichtdicke aufgrund der Periodizität des Messergebnisses nicht eindeutig. Die Endpunktdetektion mittels Rasterkraftmikroskop (*Veeco Dimension 3100*) ist relativ zeitintensiv, da für jeden Messpunkt die Ausgangsposition der Messspitze über der Oberfläche neu eingestellt werden muss und der Messbereich je Messpunkt auf ein Quadrat der Kantenlänge $80\text{ }\mu\text{m}$ beschränkt ist. Die Oberflächenprofilometrie mittels *Veeco Dektak 8* stellt die komfortabelste Methode zur Endpunktdetektion im Rahmen der gegebenen Möglichkeiten dar. Abbildung 4.13 zeigt eine Aufnahme des Oberflächenprofils vor dem Planarisierungsprozess der SiO_2 -Schicht und nach Erreichen des Endpunkts.



(a) Topographie der SiO_2 -Oberfläche vor dem Planarisierungsprozess. (b) Topographie der SiO_2 – Si_3N_4 -Oberfläche nach Erreichen des Endpunkts.

Abbildung 4.13: Oberflächenprofil einer Dummy-Struktur vor und nach dem Planarisierungsprozess der SiO_2 -Schicht, aufgenommen mit einem Oberflächenprofilometer *Dektak 8*. Vor dem Prozess ist die Oberfläche aufgrund der konformen SiO_2 -Abscheidung auf den Dummy-Strukturen topographiereich, nach dem Planarisierungsprozess ragt die Si_3N_4 -Stoppschicht nur wenige Nanometer aus dem planarisierten Alignmentoxid heraus.

Vor der Messung der Topographie ist eine Reinigung des Substrates notwendig, um die an der Oberfläche anhaftenden Abrasivpartikel zu entfernen. Ist der Endpunkt nicht erreicht, wird in einem weiteren Zyklus poliert, gereinigt und vermessen.

Eine genaue Endpunktdetektion bei Planarisierung einer dick abgeschiedenen Alignmentoxid-Schicht ($d_{\text{ox}}=850\text{ nm}$) gestaltet sich als schwierig aufgrund der in Kapitel 4.2.4 gezeigten Nicht-konformität der PECVD-Abscheidung und das Aufbrechen der SiO_2 -Schicht an Kantenstrukturen nach einer Temperung. Diese Effekte sind nach einem Planarisierungsprozess im Profil als niedrige Stufe in der Größenordnung von 1–4 nm sichtbar und können fälschlicherweise als Beginn der Si_3N_4 -Schicht und damit dem Erreichen der Stoppschicht gedeutet werden. Diese ist allerdings erfahrungsgemäß erst ab einer Stufenhöhe von 10 nm erreicht.

Optimierung des Testchip-Layout

Insbesondere bei der Planarisierung von SiO_2 -Schichten weisen die lokale und globale Uniformität sowie Erosions- und Dishing-Effekte Abhängigkeiten von der Strukturdicke auf. Durch eine gezielte Ergänzung des Layouts mit Stützstellen, die auf der späteren integrierten Schaltung ohne elektrische Funktion sind, kann wie in Abbildung 4.14 illustriert der CMP-Prozess optimiert werden. Die Form der Stützstellen ist im Normalfall der Einfachheit halber quadratisch oder rechteckig.

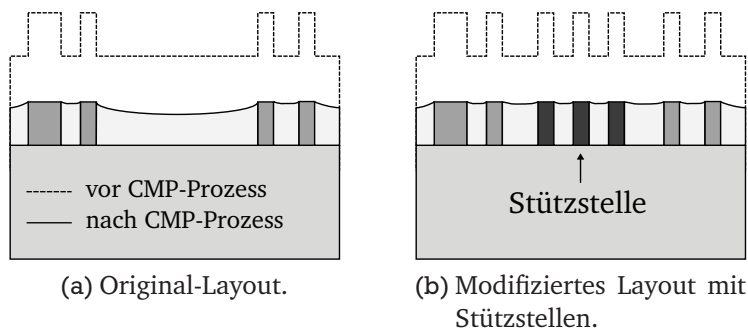


Abbildung 4.14: Einfluss von Stützstellen auf den CMP-Prozess. Durch die Modifikation des Chip-Layouts werden insbesondere Auswirkungen des Dishing-Effekts reduziert.

Zur automatisierten Modifikation des Layouts können nach TIAN ET AL. zwei prinzipielle Verfahren zur Ermittlung der Stellen, an denen Stützstellen im Layout einzufügen sind, angewendet werden. Es wird zwischen einem *regelbasierten* und einem *modellbasierten* Ansatz [167] unterschieden. Beim regelbasierten Ansatz wird zunächst ein ganzflächiges, reguläres Raster gebildet, das den Abstand zwischen den Stützstellen festlegt (vgl. Abbildung 4.15b). Anschließend werden gemäß dem Raster quadratische Stützstellen mit definierter Kantenlänge in einer Hilfsebene positioniert, die mit dem zu modifizierenden Originallayout mit einer booleschen XOR-Operationen (XOR: exklusive Oder-Verknüpfung) verknüpft wird (vgl. Abbildung 4.15c). Das Originallayout kann neben den eigentlichen Strukturen auch zusätzliche, ausgeschlossene Bereiche anderer Maskenebenen enthalten, um beispielsweise Design-Regeln einhalten zu können.

Beim modellbasierten Ansatz erfolgt die Ermittlung der Stellen, an denen Stützstellen einzufügen sind, aufgrund mathematischer Betrachtungen. Der Planarisierungsprozess basiert grund-

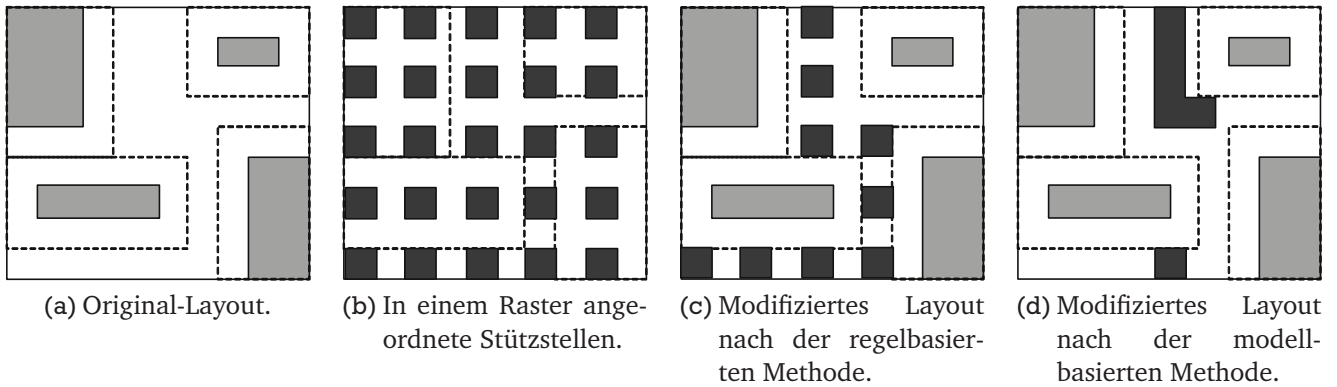


Abbildung 4.15: Layoutmodifikationen zur CMP-Prozessoptimierung nach regel- und modellbasiertem Ansatz (nach [167]).

sätzlich auf der PRESTON-Gleichung 3.5 und unter Zuhilfenahme von weiteren, vereinfachenden Annahmen wird ein Gleichungssystem aufgestellt, mit dem die Entwicklung der Stufenhöhe und der Abtragsrate in Abhängigkeit von der Strukturdichte berechnen werden kann [168]. Mit Hilfe von Optimierungsalgorithmen kann anschließend die Anzahl, Form und die Platzierung der Stützstellen berechnet werden, so dass die Abtragsrate möglichst wenig variiert und deshalb die Unebenheit am kleinsten wird (vgl. Abbildung 4.15d) [169]. Elektrische und physikalische Design-Regeln können bei beiden Ansätzen berücksichtigt werden.

Im Rahmen dieser Arbeit wurde das Layout der Maskenebenen „11–POLY“ des Testchip *TUD-T60* gemäß dem regelbasierten Ansatz und unter Einsatz des Softwarepakets *XYALIS® GTsuite* mit Stützstellen ergänzt (siehe auch Kapitel 4.2.4). Um den Einfluss von Größe und Abstand dieser Strukturen zu untersuchen, wurden verschiedene Versionen der POLY-Maske gemäß Tabelle 4.4 gefertigt. Um die Anzahl der zu fertigenden Maskenversionen zu reduzieren, wurden pro Maskenversion jeweils quadratische Stützstellen mit drei unterschiedlichen Kantenlängen und unterschiedlichem Abstand dx und dy integriert.

Maskenversion	Kantenlänge 15 μm		Kantenlänge 25 μm		Kantenlänge 50 μm	
	$dx = dy$	Dichte	$dx = dy$	Dichte	$dx = dy$	Dichte
0	20 μm	56,3%	30 μm	69,4%	100 μm	25%
1	30 μm	25,0%	50 μm	25,0%	100 μm	25%
2	45 μm	11,1%	75 μm	11,1%	100 μm	25%
3	60 μm	6,3%	100 μm	6,3%	100 μm	25%
4	75 μm	4,0%	125 μm	4,0%	100 μm	25%
5	90 μm	2,7%	150 μm	2,7%	100 μm	25%

Tabelle 4.4: Größe und Abstand der Stützstellen sowie Strukturdichte der modifizierten POLY-Ebene des Testchip *TUD-T60*.

Von jeder Maskenversion wurde ein Retikel der Größe 4 Zoll erstellt, das dann auf einen mit einem Photolack- und einem Cr-Film beschichteten Quarzglasrohling der Größe 5 Zoll aufgestept wurde. Zur Einhaltung der Designregeln und zur Vermeidung von elektrischen Beeinflussungen der bestehenden Bauelemente wurden die Stützstellen zu den Maskenebenen 12–PIMP, 13–NIMP und 15–CONT mit jeweils einem Sicherheitsabstand von 5 μm platziert. Abbildung

4.16 zeigt das Originallayout sowie die modifizierte Layoutversion 2.

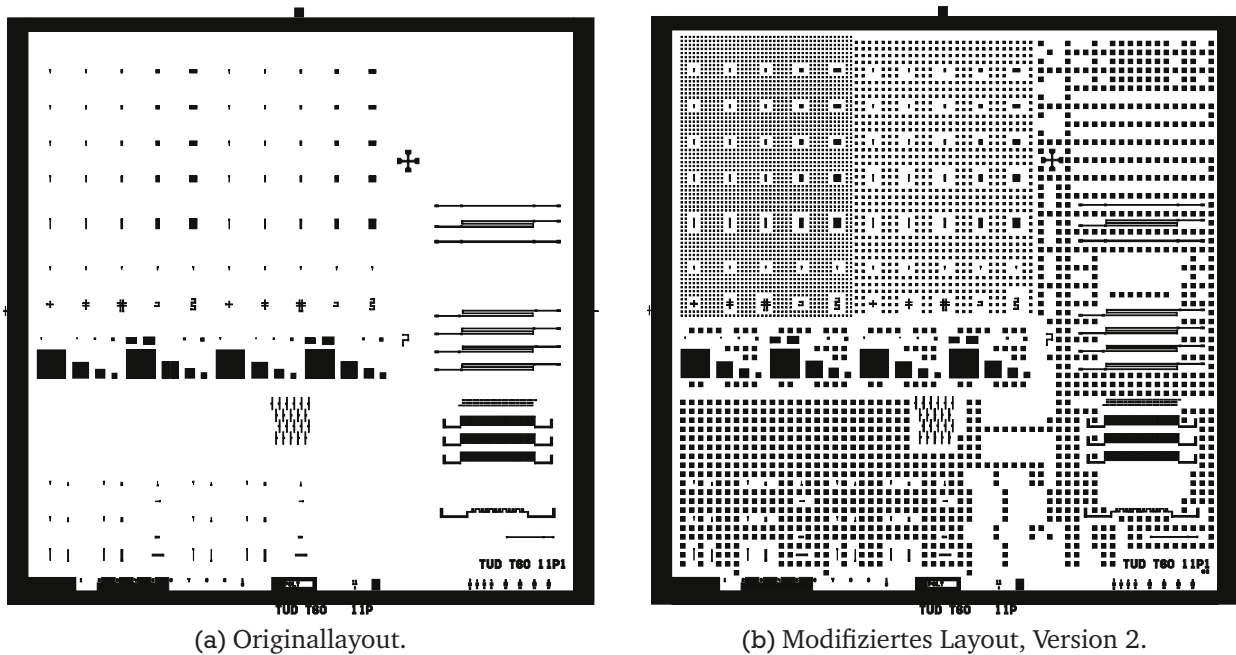
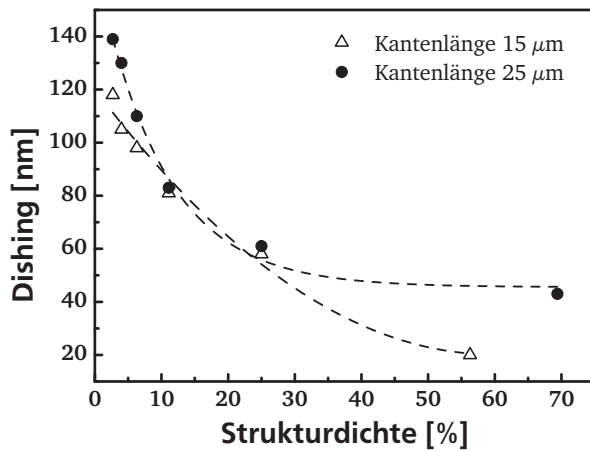


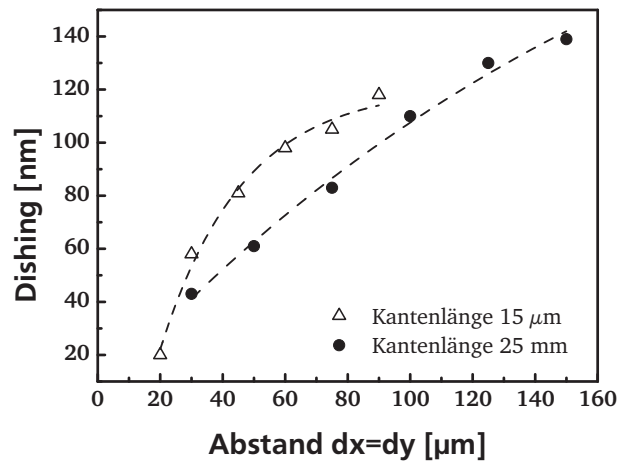
Abbildung 4.16: Layout der POLY-Ebene des Testchips *TUD-T60* vor und nach der CMP-Optimierung. Die Strukturdichte wurde durch das Einfügen von Stützstellen erhöht.

Um den Einfluss von Größe und Abstand der Stützstellen auf Dishing- und Erosions-Effekte zu untersuchen, wurden die verschiedenen Versionen der POLY-Maske jeweils auf mit Umkehrlack *AZ[®] 5214E* beschichtete unstrukturierte Si-Substrate aufbelichtet und das Substrat in einem HBr-Trockenätzprozess strukturiert. Auf die entstandenen Strukturen im Si-Substrat wurde eine SiO_2 -Schicht in einem PECVD-Verfahren abgeschieden und die Substrate nach einer Temperung in N_2 -Atmosphäre mit gleichem Parametersatz bis zum Erreichen der Oberfläche des Si-Substrats planarisiert. Die Verwendung von Si-Stegen anstelle des eigentlichen Schichtaufbaus der Stützstellen vereinfacht und beschleunigt den Herstellungsprozess der Testsubstrate durch den Wegfall der Abscheidung von Poly-Si- und Si_3N_4 -Schicht deutlich. Weiterhin können SiO_2 -Reste auf den Si-Stegen mittels Rasterkraftmikroskopie mit leitender Messspitze zweifelsfrei nachgewiesen werden, was eine Beurteilung von Erosions-Effekten sowie eine Endpunktdetektion vereinfacht. Abbildung 4.17 zeigt die im Rahmen dieser Arbeit ermittelten Abhängigkeiten des Dishing-Effekts von der Strukturichte und dem Abstand der Stützstellen.

Die gemittelten Dishing-Werte wurden jeweils an fünfzehn ausgewählten Stellen pro Chip und auf insgesamt neun Chips über dem Substrat verteilt gemessen. Das Dishing weist eine große Abhängigkeit vom Abstand der Stützstellen und weniger von der Strukturichte auf. Somit empfiehlt sich die Verwendung der Layout-Version 0 mit minimalen Abständen. Abbildung 4.18 zeigt eine rasterelektronenmikroskopische Aufnahme einer Gate-Elektrode mit umgebenden Stützstellen der Kantenlänge $25\text{ }\mu\text{m}$. Da die Stützstellen nach einem vollständigen Prozessdurchlauf zur Herstellung von MOS-Bauelementen vollwertige Gate-Schichtstapel mit High-*k*-Dielektrikum und Metall-Elektrode sind, können diese aufgrund der hohen Zahl auf dem Substrat und Uniformität ideal zu statistischen Messungen wie Tests zum dielektrischen Durchbruch genutzt werden.



(a) Dishing in Abhängigkeit von der Strukturdichte.



(b) Dishing in Abhängigkeit vom Abstand der Stützstellen.

Abbildung 4.17: Abhängigkeit des Dishing-Effekts von der Strukturdichte und Abstand der Stützstellen. Der Dishing-Effekt ist stark vom Abstand der Stützstellen und weniger von der Strukturdichte abhängig.

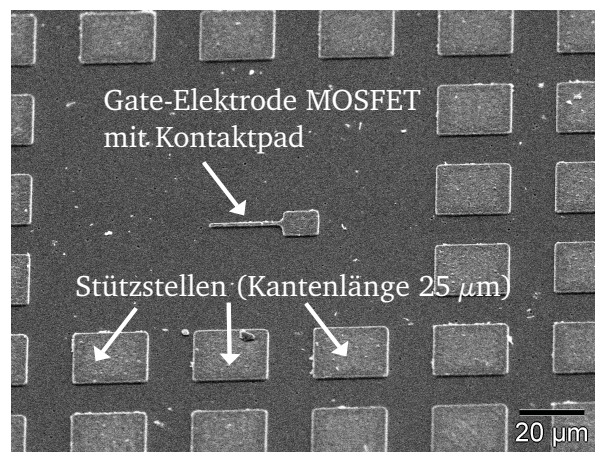


Abbildung 4.18: Rasterelektronenmikroskopische Aufnahme einer strukturierten Dummy-Struktur umgeben CMP-Stützstellen. Das Gebiet um die Gate-Elektrode ist zur Einhaltung der Design-Regeln von Stützstellen ausgespart.

Substratreinigung nach einem Planarisierungsprozess

Nach einem CMP-Prozess ist die Substratoberfläche mit Abrasivpartikeln und chemischen Zusätzen des Poliermittels sowie Reaktionsnebenprodukten kontaminiert. Um für nachfolgende Prozessschritte eine saubere Oberfläche zu garantieren, wurde folgende Reinigungsprozedur entwickelt und optimiert. Eine erste Reinigung findet unmittelbar nach Prozessende statt, wenn das Substrat vom Polierkopf zur Ladestation gebracht und dort mit deionisiertem Wasser gespült wird. Dies beseitigt allerdings nur nicht an der Substratoberfläche anhaftende Partikel und verhindert eine weitere Verschmutzung. Eine Variation der Spülzeit ändert nicht die Partikelkonzentration an der Oberfläche. Nachfolgend wird das Substrat in deionisiertem Wasser gelagert, um ein Eintrocknen der Restpartikel zu verhindern und zu einer automatisierten Substratreinigungsanlage vom Typ *Contrade Corwet P200* transportiert. Abbildung 4.19 zeigt die im Rahmen dieser Arbeit verwendete automatisierte Substratreinigungsanlage.

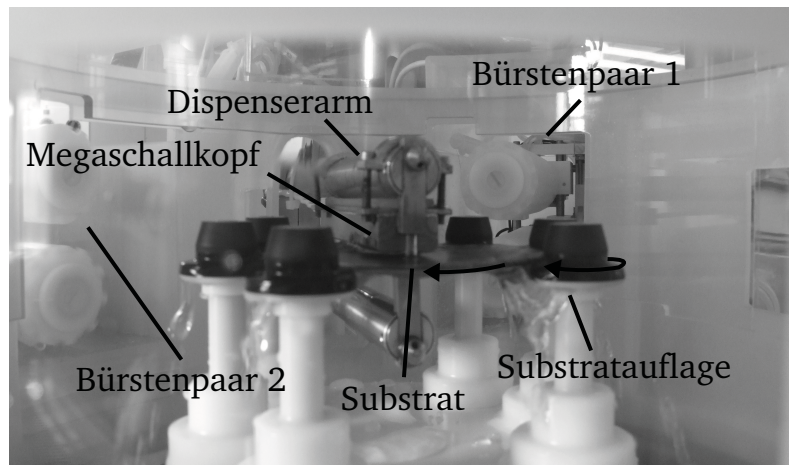


Abbildung 4.19: Automatisierte Substratreinigungsanlage vom Typ *Contrade CORWET P-200*. Die Reinigung von 4 Zoll-Substraten erfolgt sowohl chemisch mittels deionisiertem Wasser, verdünnter Salzsäure sowie Ammoniaklösung als auch mechanisch mittels Bürstenreinigung und Megaschallunterstützung.

Ein Reinigungszyklus besteht aus einer Spülung mit heißem, deionisiertem Wasser, einer Spülung mit Megaschall-Unterstützung, einer Bürstenreinigung mit verdünntem Ammoniak oder verdünnter Salzsäurelösung, einer zweiten Spülung mit deionisiertem Wasser mit Megaschall-Unterstützung und einem abschließenden Trockenschleudern. Diese Prozedur wird erst für die Substratrückseite und abschließend für die Substratvorderseite angewandt, da der Megaschallkopf nur auf einer Seite des Substrats wirkt und die Rückseite des Substrats deutlich verschmutzter ist als die Vorderseite. Die Ursache liegt am Einsatz des Rückseitendrucks *BP*, der während des Planarisierungsprozesses zu einem sofortigen und kontinuierlichen Eintrocknen der Poliermittelreste auf der Rückseite des Substrats führt. Der Megaschalleinsatz zu Beginn des Prozesses entfernt alle losen Partikel von der Substratoberfläche, die folgende mechanische und chemische Reinigung entfernt Partikel, die leicht aufgrund Van-der-Waals-Bindungen an der Oberfläche haften. Hartnäckige Verschmutzungen entstehen, wenn Verunreinigungen entweder eintrocknen oder bei zu langer Lagerung im Wasser widerstandsfähigere Wasserstoffbrückenbindungen zum Si-Substrat aufbauen [170]. Daher sollten beide Fälle möglichst vermieden werden. Ein Unter-

schied im Reinigungsergebnis wurde für die beiden verwendeten Poliermittel für SiO₂-Schichten trotz unterschiedlicher Abrasivpartikelarten nicht beobachtet.

Zusammenfassung der Einflussgrößen des Planarisierungsprozesses

In Tabelle 4.5 sind die im Rahmen dieser Arbeit ermittelten Einflussgrößen des Planarisierungsprozesses für SiO₂-Schichten als kompakte Zusammenfassung des vorherigen Abschnitts aufgeführt.

	Abtragsrate	Uniformität - global	Uniformität - lokal	Poliertuch - Lebensdauer	Oberflächenrauheit	Oberflächendefekte	Selektivität	Erosion	Dishing
Polierdruck	■		■			□	■	■	■
Polierzeit	■		■	■				■	■
Temperatur	■			□		■	■	■	■
Poliertuch - Geschwindigkeit	■		■				■	■	■
Polierposition auf dem Poliertuch	□	■		■					
Poliertuch - Typ	■	■	■	■	■	■	■	■	■
Poliermittel - Chemie	■	■	■	■	■	■	■	■	■
Poliermittel - Partikeleigenschaften	■	■	■	■	■	■	■	■	■
Poliermittel - Verdünnungsgrad	■			□			■	■	■
Konditionierung - Prozessfolge	■	■		■					
Konditionierung - Oszillation		■		■					
Konditionierung - Disk-Typ	■	■		■		■			
Konditionierung - Disk-Verschleiß	■	■		■		■			
Substrat - Durchmesser		■			■				
Substrat - Material Oberfläche	■		■	■	■	■	■		■
Substrat - Verbiegung		■							
Substrat - Strukturdichte	■		■					■	■
Substrat - Strukturgröße	■	■	■					■	■
Polierkopf - Trägerfolie		■							
Polierkopf - Löcheranordnung		■							
Polierkopf - Haltering		■							
Polierkopf - Geschwindigkeit	■	■		□					
Polierkopf - Oszillation		■		■					
Post-CMP-Reinigung						■			

Einfluss: = kein , □ = gering, ■ = mittel, ■ = stark

Tabelle 4.5: Einflussgrößen des Planarisierungsprozesses für SiO₂-Schichten, bestimmt in eigener Arbeit (vgl. Kapitel 4.2.4 und 4.2.6) und nach [129][171][163][131][132][139][172][173].

4.2.5 Entfernung der Dummy-Struktur

Die Entfernung der Dummy-Struktur ist der letzte Schritt der Erstellung eines Negativabdrucks im Alignmentoxid (vgl. Abbildung 4.20). Ziel der Prozessentwicklung ist es, die Tiefe des Gate-Grabens möglichst wenig zu reduzieren und eine bestmögliche Qualität der Oberfläche des Si-Substrats zu erreichen. Dies ist möglich durch die Kombination der Vorzüge von nass- und trockenchemischen Ätzverfahren. Die Si_3N_4 -Schicht, die als Polierstopp diente, wird zuerst in einem Nassätzprozess entfernt. Dieses Verfahren zeichnet sich durch eine hohe Selektivität gegenüber SiO_2 -Schichten und damit einen geringen Abtrag der Alignmentoxid-Schicht aus.

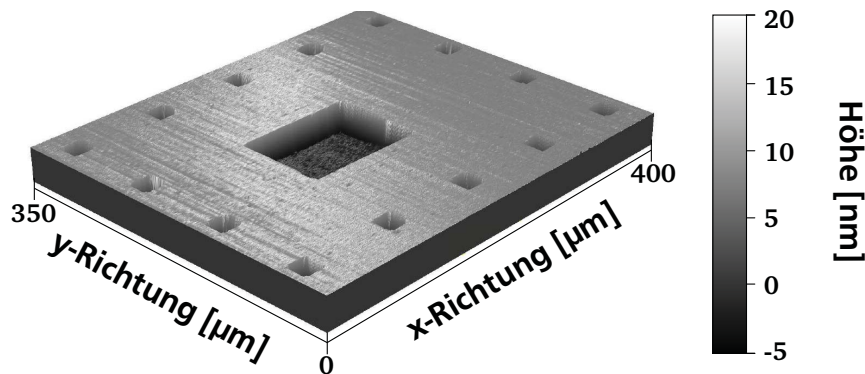
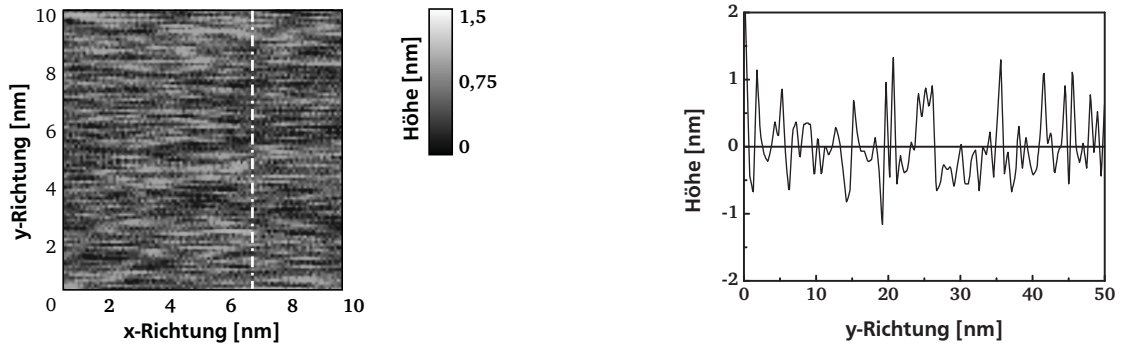


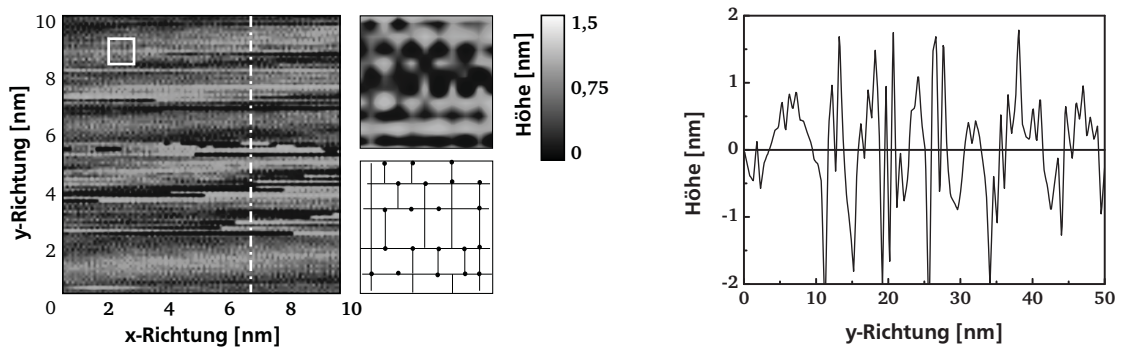
Abbildung 4.20: Alignmentoxid-Schicht mit Negativabdruck der Dummy-Struktur und der Stützstellen nach Entfernung des Si_3N_4 – Poly-Si – SiO_2 -Schichtstapels vom Typ B (Topographische Aufnahme mit Oberflächenprofilometer Dektak 8)

Die unterliegende Poly-Si-Schicht kann trocken- oder nasschemisch entfernt werden, die Ätzraten der Alignmentoxid-Schicht sind für beide Methoden nahezu identisch. Beim Dummy-Schichtstapel vom Typ A wird die untere der beiden Si_3N_4 -Schichten wiederum nasschemisch entfernt, um die Alignmentoxid-Schicht und das unter der Si_3N_4 -Schicht vergrabene Schutzoxid nicht zu sehr abzutragen. Die verbliebene thermisch gewachsene SiO_2 -Schicht wird nasschemisch entfernt. Dies reduziert zwar die Grabentiefe, was die Anforderungen an den späteren Planarisierungsprozess der W-Schicht erhöht, ergibt jedoch die bestmögliche Qualität der Substratoberfläche im Hinblick auf Rauheit und Defektdichte. Abbildung 4.21 zeigt vergleichend die Oberflächen eines unbehandelten Si-Substrats sowie nach trocken- bzw. nasschemischer Entfernung der SiO_2 -Schicht der Dummy-Struktur.

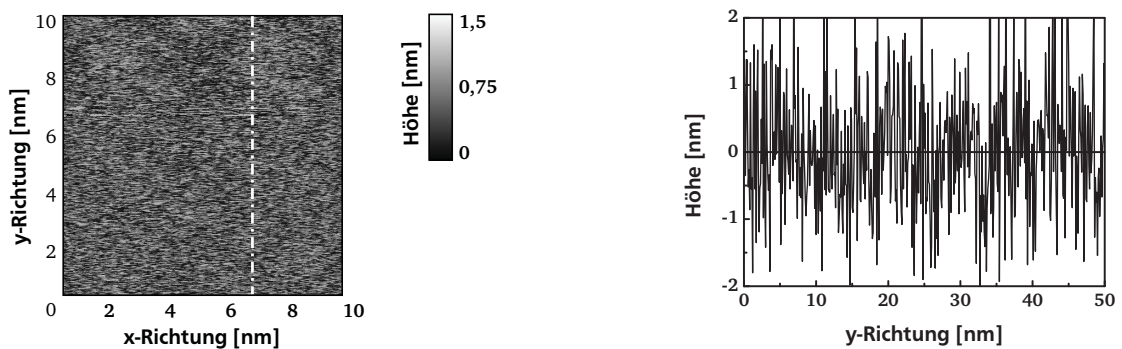
Die Oberflächenstrukturen der Proben in Abbildung 4.21a und 4.21b weisen keinen signifikanten Unterschied auf. Die Rauheit der unbehandelten Si-Probe ist im Mittel mit $R_{\text{MS}}=0,175$ nm und einem Maximum von $R_{\text{MAX}}=2,140$ nm vergleichbar mit der der nasschemisch freigelegten Oberfläche mit $R_{\text{MS}}=0,188$ nm und $R_{\text{MAX}}=2,758$ nm. Die Rauheit der trockenchemisch geätzten Probe ist wie in Abbildung 4.21c deutlich höher, was sich negativ auf die Performanz der MOS-Bauelemente, insbesondere die Ladungsträgermobilität, auswirkt [174][175].



(a) Unbehandelte Si-Oberfläche.



(b) Si-Oberfläche nach nasschemischer Entfernung der SiO_2 -Schicht.



(c) Si-Oberfläche nach trockenchemischer Entfernung der SiO_2 -Schicht.

Abbildung 4.21: Oberfläche eines unbehandelten Si-Substrates und nach der nass- bzw. trockenchemischen Entfernung einer SiO_2 -Schicht (links: Aufsicht, rechts: Querschnitt). Durch die schonende nasschemische Entfernung der thermisch gewachsenen SiO_2 -Schicht weist die Substratoberfläche nach Entfernung der Dummy-Struktur die bestmögliche Qualität auf.

4.2.6 Herstellung der Metall-Elektrode

Die Metall-Elektrode der MOS-Bauelemente wird einem *Gate-Last*-Verfahren in einem sogenannten Damascene-Verfahren hergestellt. Dazu wird das Metall wie in den Abbildungen 4.1h–4.1i dargestellt ganzflächig auf dem Substrat abgeschieden und anschließend in einem CMP-Prozess planarisiert. Dabei wird die Metallschicht vom Alignmentoxid entfernt und verbleibt nur in den Grabenstrukturen. Das folgende Unterkapitel behandelt die Auswahl des geeigneten Metalls sowie die Optimierung des Abscheide-, Planarisierungs- und Reinigungsprozesses.

Auswahl eines geeigneten Metalls

Derzeit stehen auf dem Verbrauchsmittelmarkt nur eine sehr begrenzte Zahl an Poliermitteln für Metallschichten zur Verfügung. In der Massenfertigung von integrierten Schaltungen werden insbesondere Kupferschichten beim Einsatz für Mehrlagenverdrahtungen planarisiert [176]. Diese sind aber für die Verwendung als Elektrodenmaterial ungeeignet, da Kupfer leicht in umliegende Schichten diffundiert und die Lebensdauer der Minoritätsladungsträger im Bauelement erheblich senkt [177]. Weiterhin besteht die Gefahr der Kontamination der gesamten Prozesslinie bei Verwendung vom Kupfer in der frühen Phase der Transistorherstellung. Aluminium wird ebenfalls für Damascene-Verdrahtungsverfahren eingesetzt [178], jedoch ist dieses Metall sehr weich, was eine Verwendung im *Gate-Last*-Prozess für Elektroden mit großer Fläche aufgrund erheblicher Dishing-Effekte ausschließt, ist vergleichsweise reaktiv mit High-*k*-Dielektrika und aufgrund der Austrittsarbeit von $q\phi_m = 4,2$ eV nicht für die gleichzeitige Verwendung als Elektrodenmaterial in n- und p-Kanal-Transistoren verwendbar. Wolfram wird hauptsächlich in der vertikalen Verbindungstechnik verschiedener Verdrahtungsebenen in einem CMP-Prozess planarisiert [179]. Wolfram ist als Midgap-Material mit einer Austrittsarbeit von $q\phi_m = 4,54$ – $4,6$ eV geeignet als Elektrodenmaterial für NMOS- und PMOS-Bauelemente und weist eine ausreichende Härte auf, um Dishing-Effekte bei größeren Strukturen möglichst gering zu halten. Daher ist die Verwendung von Wolfram als Elektrodenmaterial für in *Gate-Last*-Technik hergestellte Bauelemente die beste Wahl.

Optimierung der Metallabscheidung

Die für den CMP-Prozess notwendige W-Schichtdicke wurde mit einem *JP Rhodes ESM-U*-Pad und *Cabot W6300*® in der Größenordnung der doppelten Grabentiefe (550–800 nm) bestimmt. Das Planarisierungsvermögen des Prozesses ist für geringere Schichtdicken nicht ausreichend. W wird in der vorhandenen Prozesslinie standardmäßig mit einem Ti-Anteil von 10 % in einem Gleichspannungs-Kathodenzerstäuben mit einer vergleichsweise hohen Abscheiderate von 100 nm/min aufgebracht. Nachteilig ist die stark körnige Struktur der W-Ti-Schicht. Entlang der Korngrenzen findet während des Planarisierungsprozesses durch Kapillareffekte ein Transport des Poliermittels in tiefer liegende Bereiche bis hin zum Dielektrikum statt, das dann in diesem Bereich verbleibt. Um eine Reaktion und damit eine Schädigung des Dielektrikums zu verhindern, wird wie in Abbildung 4.22 gezeigt über dem Dielektrikum eine dünne und deutlich dichtere Schicht W in einem Aufdampfverfahren oder durch Hochfrequenz-Kathodenzerstäuben bei Projektpartnern aufgebracht, die als Pufferschicht dient. Eine Abscheidung der gesamten

Metallschicht mittels Aufdampf- bzw. Hochfrequenz-Kathodenzerstäuben ist aufgrund der niedrigen Abscheideraten nicht möglich. Ein Wechsel der Materialquelle von W-Ti (90-10) zu reinem W änderte die Grobkörnigkeit der abgeschiedenen Metallschicht nicht. Lediglich eine deutliche Erhöhung der Sprödigkeit im Vergleich zu einer dicken W-Ti-Schicht ist zu beobachten, die zu einem Abplatzen des Materials vom Substrat und der Kammerwand der Metallisierungsanlage führt.

W-Ti aus Gleichspannungs-Sputterprozess

W aus Hochfrequenz-Sputterprozess

600 nm

Abbildung 4.22: Rasterelektronenmikroskopische Aufnahme einer Metallelektrode bestehend aus einem W-Ti–W-Schichtstapel. Die dichtere hochfrequenz-kathodenzerstäubte W-Schicht dient als Pufferschicht zum Schutz des Dielektrikums.

Wird das Substrat vor dem W-Ti-Kathodenzerstäuben nicht ausreichend ausgeheizt, so führt der an der W-Oberfläche anhaftende und aus der Umgebungsluft aufgenommene Feuchtigkeitfilm zur Bildung einer dünnen, weichen Lage Wolframoxid (WO_x) als Zwischenschicht zwischen dünner W- und dicker W-Ti-Schicht. Im ungünstigsten Fall stellt diese eine Schwachstelle während des Planarisierungsprozesses dar, so dass sich die W-Ti-Schicht aufgrund der mechanischen Belastung vollständig nach kurzer Prozesszeit (40–60 s) von der dichteren W-Schicht ablöst.

Optimierung der Anlagenparameter

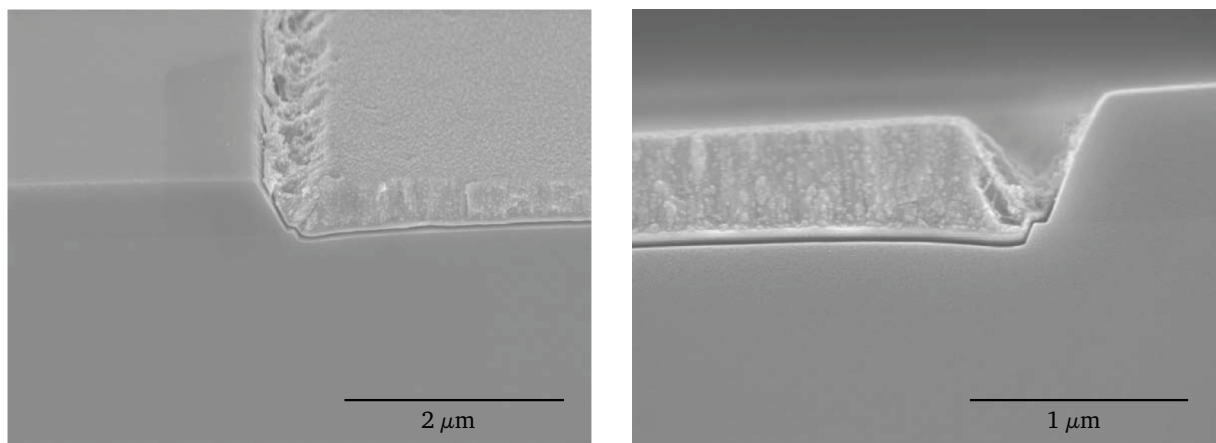
Der Planarisierungsprozess für W-Schichten weist eine zum Planarisierungsprozess für SiO_2 -Schichten analoge Abhängigkeiten zu den Prozessparametern der Anlage auf, so dass die für den Planarisierungsprozess für SiO_2 -Schichten bestimmten und optimierten Parameter übernommen werden können. Der Planarisierungsprozess für W-Schichten ist im Vergleich zum SiO_2 -CMP-Prozess (vgl. Kapitel 4.2.4) als robuster zu werten, da über einen größeren Parameterraum gute Poliererergebnisse im Hinblick auf Uniformität und Dishing-Effekte erzielt werden können. Als wichtig zeichnete sich die sofortige Lagerung des Substrats nach Prozessende in deionisiertem Wasser, um Reste des H_2O_2 zu verdünnen und so ein unkontrolliertes Weiterätzen der W-Ti-Schicht zu verhindern.

Endpunktdetektion

Die Endpunktdetektion gestaltet sich im Vergleich zum Planarisierungsprozess für SiO_2 -Schichten unkomplizierter, da diese aus einer optische Betrachtung der Substratoberfläche mittels Stereolupe oder Mikroskop besteht. Die Färbung der Metallschicht unterscheidet sich deutlich von der der unterliegenden Alignmentoxid-Schicht. Jedoch weisen Metallschichten mit einer Dicke < 10 nm bereits eine optische Transmittanz > 60 % auf [180]. Um den Fall einer dünnen, optisch transparenten Restmetallschicht auszuschließen, wird nach Abschluss der Planarisierungsarbeiten eine Strom-Spannungs-Messung zur Kontrolle durchgeführt, bei der die beiden Probernadeln auf weiter entfernte Stellen des Alignmentoxids positioniert werden. Ein eventuell auftretender Stromfluss kann dann eindeutig der Präsenz einer Restmetallschicht zugeordnet werden.

Erosions-Effekte

Abbildung 4.23 zeigt den Querschnitt einer Metall-Elektrode nach dem Planarisierungsprozess. Deutlich sichtbar ist ein erhöhter Materialabtrag der W-Ti-Schicht im Bereich der Grabenwände.



(a) 24.000-fache Vergrößerung, 30° Kippwinkel

(b) 48.000-fache Vergrößerung, 0° Kippwinkel

Abbildung 4.23: Rasterelektronenmikroskopische Aufnahme einer W-Elektrode nach dem Planarisierungsprozess. Deutlich sind Erosionsmarken an den Wänden der Grabenstrukturen sichtbar, die auf ein zu weiches Polierpad und eine Ansammlung von Abrasivpartikeln zurückgeführt werden.

CHIU ET AL. haben ein ähnliches Phänomen bei Wolfram-Durchführungen der Verdrahtungsebenen einer integrierten Schaltung untersucht. Als Ursache wurde eine anodische Oxidationsreaktion gefunden, die durch Lichteinfall und der dadurch auftretenden Ladungsträgergeneration im Substrat ausgelöst wird. Zur Unterbindung wird Arbeiten unter Gelblicht empfohlen [181]. Die Ursache der verstärkten Erosion an der Grabenwand liegt jedoch nicht in einer elektrochemischen Reaktion, wie experimentell durch Arbeiten in völliger Dunkelheit nachgewiesen werden konnte. Vielmehr zeigt sich eine Abhängigkeit von den Eigenschaften des verwendeten Polierrtuch, das mit einem *JP Rhodes ESM-U* zu weich gewählt wurde.

Durch eine nicht ausreichende Starrheit des Poliертuchs gelangt dieses schon während der Planarisierungsphase in niederliegende Strukturen, was insbesondere in den Ecken der Strukturen zu einer lokalen Überhöhung der Abtragsrate führt. Der Effekt wird durch die Grobkörnigkeit der W-Ti-Schicht begünstigt. Es ist anzunehmen, dass während des Planarisierungsprozesses einzelne W-Ti-Körner aus dem Schichtverbund herausgeätzt werden, die sich am Grabenrand sammeln und dort als zusätzliche Abrasivpartikel zu einer lokalen Erhöhung der Poliertrate führen. Wie in Abbildung 4.23b ersichtlich, ist die unterliegende hochfrequenz-kathodenzerstäubte W-Schicht weniger angegriffen. Mit Verwendung des härteren Pad *Cabot® Epic D100* ist dieser Effekt nicht mehr nachweisbar.

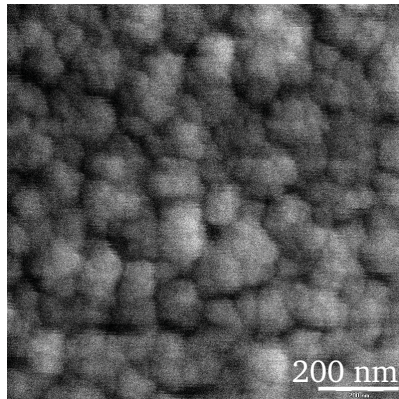
Substratreinigung nach dem Planarisierungsprozess

Die Reinigungsprozedur des Substrats beginnt unmittelbar nach dem Ende des Planarisierungsprozess. Hier ist es wichtig, die chemischen Reaktionen, die einen höheren Anteil am Gesamtabtrag im Vergleich zum Planarisierungsprozess für SiO₂-Schichten aufweisen, zu stoppen. Durch Spülung und anschließende Lagerung des Substrates in deionisiertem Wasser nach dem Planarisierungsprozess werden die auf dem Substrat befindlichen Chemikalien wie H₂O₂ so weit verdünnt, dass weitere chemische Reaktionen unterbunden werden. Die maschinelle Reinigungssequenz zur Entfernung der Abrasivpartikel kann nicht ohne Anpassung vom Reinigungsprozess nach einem Oxid-Planarisierungsprozess übernommen werden. Abbildung 4.24 zeigt rasterelektronenmikroskopische Aufnahmen verschieden behandelter W-Ti-Oberflächen.

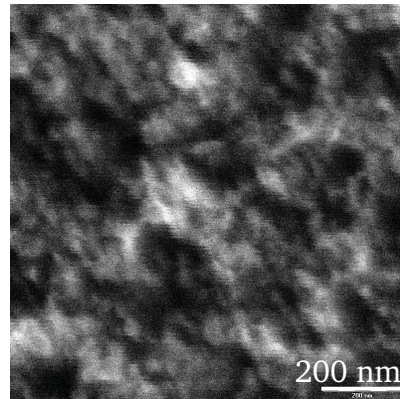
Das Poliermittel für W-Schichten führt zu einer Erhöhung der Porosität der W-Ti-Schicht. Ein anschließendes Bad in verdünnter Salzsäure führt zu keiner Veränderung der Oberfläche, ein Bad in verdünnter Ammoniak-Lösung jedoch zu einer weiteren Ätzung der Oberfläche. Somit empfiehlt es sich, bei der maschinellen Reinigung nach dem W-Planarisierungsprozess auf das Spülen und Reinigen mit Ammoniaklösung zu verzichten. Einen negativen Einfluss auf die Reinheit des Substrats konnte nicht nachgewiesen werden.

Degradation des Poliermittels

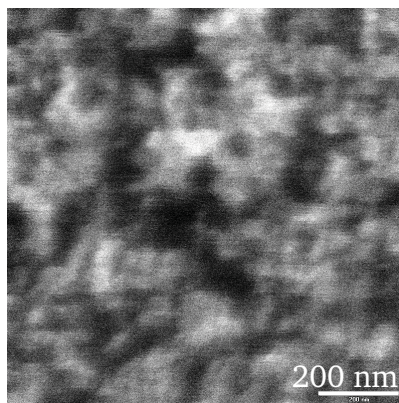
Der Hersteller gibt für das verwendete Poliermittel *Cabot W6300®* eine Haltbarkeit der mit deionisiertem Wasser verdünnten und mit Wasserstoffperoxid angereicherten Lösung von ca. zwei Tagen an. Jedoch ist bereits für einen kurzen Zeitraum weniger Stunden eine Abnahme der Poliertrate zu beobachten. Ursache ist das kontinuierliche Rundpumpen und Aufmischen des Poliermittels im Vorratsgefäß. Das geringe Volumen des Vorratsgefäß (15 l) sowie lange Umpumpzeiten durch Einzelsubstratprozessierung begünstigen einen schnelleren Abbau des H₂O₂ als von Seiten des Herstellers vorgesehen. Eine Berücksichtigung der sich ständig ändernden Poliertrate bei der Berechnung der Polierzeit ist also notwendig. Ein ähnlicher Effekt wurde von BARE ET AL. für das W-Poliermittel *Cabot W2000®* nachgewiesen [182]. Eine Agglomeration der Abrasivpartikel analog zum SiO₂-Poliermittel wurde von SINGH ET AL. für *Cabot W2000®* nicht beobachtet [164]. Dies deckt sich mit eigenen Ergebnissen mit dem Poliermittel *Cabot W6300®*.



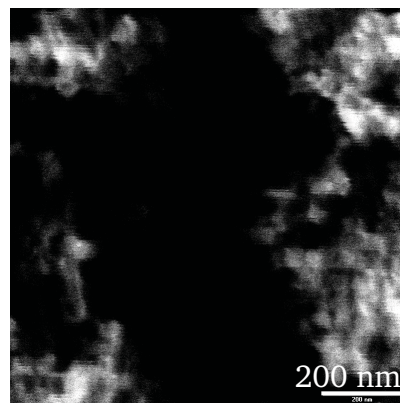
(a) unbehandelt



(b) nach 6 Minuten Bad in Poliermittel



(c) nach 6 Minuten Bad in Poliermittel und 3 Minuten Bad in verdünnter Salzsäure



(d) nach 6 Minuten Bad in Poliermittel und 3 Minuten Bad in verdünnter Ammoniak-Lösung

Abbildung 4.24: Rasterelektronenmikroskopische Aufnahmen verschieden behandelter W-Ti-Oberflächen. Durch das Bad in dem Poliermittel nimmt die Porosität der Oberfläche im Vergleich zum Ausgangszustand zu. Verdünnte Ammoniak-Lösung reagiert deutlich stärker mit dieser Oberfläche als verdünnte Salzsäure.

Weiterhin wurde eine geringe Akzeptanz gegenüber Überalterung des Poliermittels *Cabot W6300*[®] festgestellt. Bei Verwendung nach 6 Monaten nach Ablauf des einjährigen Haltbarkeitsdatum ist der Planarisierungsprozess eindeutig von der chemischen Komponente dominiert, was zu einem ungenügenden Planarisierungsvermögen bei annähernd gleichbleibender Abtragsrate führt. Vermutlich ist die Degradation durch einen Zerfall des Ferricyanids bestimmt, was die Bildung des Wolfram(VI)oxid-Passivierungsfilms während des Prozesses verhindert (vgl. Kapitel 3.8.2).

4.2.7 Integration alternativer Gate-Metalle

Wie bereits in Kapitel 4.2.6 erläutert, ist die Auswahl planarisierbarer Metalle sehr limitiert. Um die Schwellspannung von MOS-Bauelementen durch Wahl geeigneter Metalle anpassen zu können, wurde ein Prozessmodul zur Integration alternativer Elektroden-Metalle entwickelt, das im Folgenden für vorgestellt wird.

In Abbildung 4.25 ist die Prozessfolge zur Integration eines alternativen Gate-Metalls skizziert. Zunächst wird das Metall auf dem Dielektrikum abgeschieden (Abbildung 4.25a). Die Verschiebung der Schwellspannung kann neben der Wahl des Metalls auch über die Metallschichtdicke beeinflusst werden [183]. Metallschichtdicken $d > 20$ nm führen jedoch zu keiner weiteren Veränderung der Schwellspannung [184]. Über dem Elektrodenmaterial wird im nächsten Schritt eine dünne W-Schicht durch Hochfrequenz-Kathodenzerstäuben oder in einem Aufdampfverfahren und anschließend W-Ti durch Gleichspannungs-Kathodenzerstäuben abgeschieden (Abbildung 4.25b) und planarisiert (Abbildung 4.25c). Abschließend wird das auf dem Alignmentoxid verbliebende, nicht polierbare Restmetallschicht in einem Ätzprozess entfernt, da andernfalls die Bauelemente über die Metallschicht elektrisch kurzgeschlossen wären (Abbildung 4.25d). Der W–W-Ti-Stapel in der Grabenstruktur wirkt bei der Ätzung als Schutzschicht für das darunterliegende Elektrodenmetall.

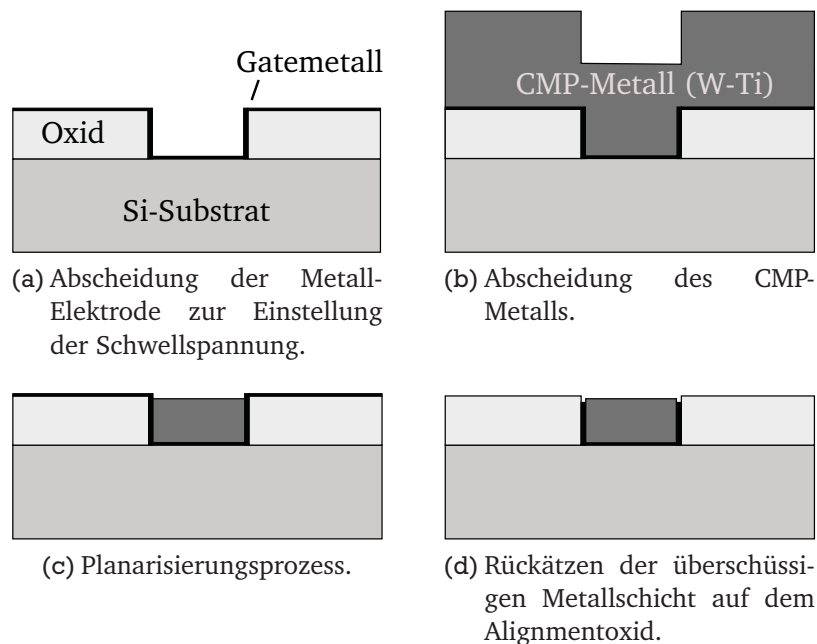


Abbildung 4.25: Schematische Darstellung des Prozessmoduls „Alternative Metall-Elektrode“. Der W–W-Ti-Stapel im Graben dient bei der Rückätzung der überschüssigen Metallschicht auf dem Alignment als Schutzschicht des darunterliegenden Gate-Metalls.

Eine Grundvoraussetzung für diese Vorgehensweise ist eine gute Haftung der W-Schicht auf dem Gate-Metall. Diese wurde experimentell für Cr, Pt, TiN und Ti nachgewiesen, Pd ist für diese Anwendung ungeeignet. Weiterhin muss das Gate-Metall trockenchemisch ätzbar sein. Abbildung 4.26 zeigt eine rasterelektronenmikroskopische Aufnahme eines Gate-Stapels nach nasschemischer Entfernung des Gate-Metalls mit einer deutlich sichtbaren Unterätzung der Pt-Schicht

unterhalb der W-Schutzschicht. Durch die Kapillarwirkung wurde die Ätzlösung (Königswasser bei $T = 85\text{ °C}$) tief unter die W-Schutzschicht gezogen und verblieb dort, wodurch der Ätzprozess auch nach Entnahme des Substrats aus der Lösung nicht gestoppt wurde.

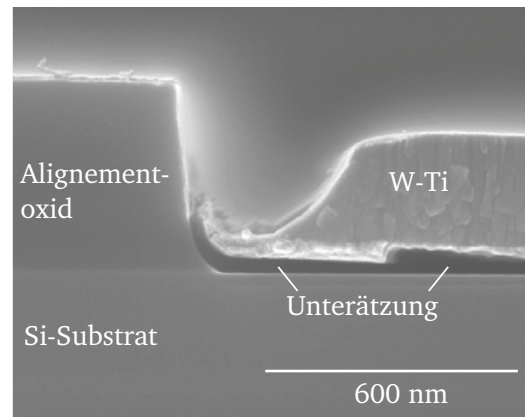


Abbildung 4.26: Rasterelektronenmikroskopische Aufnahme eines Gate-Stapels nach nasschemischer Entfernung des Gate-Metalls (Platin). Deutlich sichtbar ist eine Überätzung der Platin-Schicht unterhalb der W-Schutzschicht.

Mit den zur Verfügung stehenden Standardprozessen ist eine trockenchemische Ätzung von edlen Pt- und Cr-Schichten nicht möglich. Die Funktionalität des Prozesskonzepts wurde mit der Midgap-Metallverbindung TiN erfolgreich nachgewiesen [185]. Die Integration weiterer Metalle verlangt eine vorhergehende Entwicklung eines geeigneten Trockenätzprozesses.

4.2.8 Strukturierung der Kontaktlöcher

Um die hergestellten Bauelemente des Testchips *TUD-T60* vor Umwelteinflüssen wie Feuchtigkeit zu schützen, sieht die Prozessfolge die Abscheidung eines Isolationsoxides vor, in das dann Kontaktlöcher geätzt werden, die dann mit einem Metall verfüllt den Kontakt zwischen Bauelement und Leiterbahn herstellen. Bei der Herstellung von MOS-Transistoren in einem Gate-First-Prozess gehört dieser Prozess zu den Standardprozessen. Für die Herstellung von Bauelementen in einer Gate-Last-Technik muss das vorliegende Konzept jedoch angepasst werden, da für die Herstellung der Source-, Drain- und Substrat-Kontakte neben dem Isolationsoxid die Alignmentoxid-Schicht, das High- k -Dielektrikum und die darunterliegende Si_3N_4 -Schicht durchätzt werden muss. Für die Herstellung des Gate-Kontakts muss lediglich das Isolationsoxid durchdrungen werden. Der verlängerte Ätzprozess zur Herstellung der Source-, Drain- und Substratkontakte führt zu einem Anätzen und im ungünstigsten Fall zu einem Durchätzen der Metall-Elektrode bis hin zum Dielektrikum, was zu einem irreparablen Bauelementausfall führt. Somit muss der Ätzprozess eine ausreichende Selektivität gegenüber der W-Ti-Schicht im Graben aufweisen. Dies ist nur für nasschemische Ätzprozesse gegeben, die aufgrund der isotropen Natur des Ätzprozesses nicht für die Öffnung von Kontaktlöchern angewendet werden können. Daher wurde folgendes, in Abbildung 4.27 gezeigte Prozesskonzept entwickelt. Zunächst wird in einem ersten Lithographieschritt eine Lackschicht mit der Maskenebene „15–CONT“ strukturiert und die Isolationsoxidschicht zu ca. 90 % der Dicke unter Ausnutzung der Anisotropie und hohen Maßhaltigkeit eines trockenchemischen Ätzprozess durchätzt. Die Restschicht des Isolationsoxids wird im folgenden Prozessschritt nasschemisch entfernt. Die W-Ti-Schicht wird

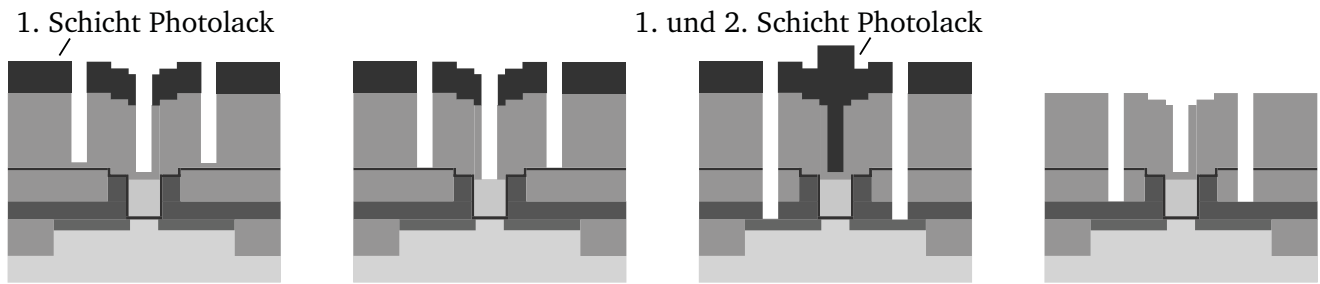


Abbildung 4.27: Prozesskonzept für die Strukturierung der Kontaktlöcher in einer *Gate-Last*-Prozessfolge.

unter Ausnutzung der hohen Selektivität des Nassätzprozesses nicht angegriffen. Um die W-Ti-Schicht im nachfolgenden Trockenätzprozess zu schützen, wird eine zweite Lackschicht aufgebracht und mit der Maskenebene „11–POLY“ strukturiert. Durch diese Vorgehensweise wird nur das Kontaktloch des Gate-Kontakts verschlossen und die restlichen Kontaktlöcher können geöffnet werden. Die Entfernung der beiden Lackschichten komplettiert den Herstellungsprozess der Kontaktlöcher eines MOS-Transistors.

4.3 *Gate-Last*-Herstellungsprozess für integrierte CMOS-Schaltungen

Die Herstellung einer integrierten CMOS-Schaltung in einer *Gate-Last*-Technik entspricht im Kern der im vorherigen Kapitel 4.2 beschriebenen Herstellung eines MOS-Transistors. Die Komplexität des Gesamtprozesses steigt durch die Notwendigkeit eines zweiten, komplementären Dotierungsprozesses der Anschlusszonen gemäß der Prozessübersicht in Anhang A von 102 auf 130 Prozessschritte. Weiter ist für den Aufbau einer funktionalen CMOS-Schaltung eine geeignete elektrischen Isolation zwischen p- und n-Kanal-Transistoren notwendig, wie das folgende Kapitel zeigt.

4.3.1 Isolationstechnik

In das Layout des Testchips *TUD-T60* ist ein 21-stufiger Ringoszillator integriert, der aus unmittelbar nebeneinanderliegenden p- und n-Kanal-Transistoren aufgebaut ist. Durch die Integration von n- und p-Kanal-Feldeffekttransistoren in einem gemeinsamen Substrat ergeben sich durch den Schichtaufbau parasitäre npn- und pnp-Bipolartransistoren. Diese entsprechen in ihrer Verschaltung einem Thyristor, wie in Abbildung 4.28 am Beispiel einer Inverterstufe des Ringoszillators gezeigt. Als Latch-Up-Effekt wird das Zünden (Durchschalten) dieses parasitären

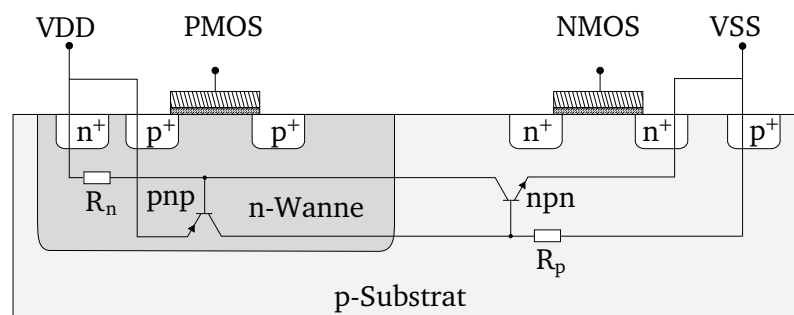


Abbildung 4.28: CMOS-Inverter mit parasitärem Thyristor.

Thyristors bezeichnet. Dadurch werden die positive und die negative Versorgungsspannung im Bauteil kurzgeschlossen. Der dann fließende Lateralstrom ist hoch genug, um eine thermische Überlastung in diesem Gebiet zu erzeugen und die Schaltung zu beschädigen oder zu zerstören [186][187].

Im Folgenden werden drei Verfahren unterschiedlicher Komplexität vorgestellt, die den Latch-Up-Effekt unterdrücken und die im Rahmen dieser Arbeit auf die Kompatibilität mit einem Gate-Last-Prozess hin untersucht wurden.

Guard-Ring-Isolation

Guard-Ringe (*engl.* Schutzringe) sind hochdotierte p^+ -dotierte Strukturen im p-Substrat und n^+ -dotierte Strukturen in der n-Wanne. Sie sammeln injizierte Ladungsträger auf und entziehen sie dem Lateralstrom. Guard-Ringe sind nur sehr platzaufwendig zu realisieren, werden aber bei kritischen Ein- und Ausgangsschaltungen in der CMOS-Technologie verwendet [188]. Abbildung 4.29 zeigt schematisch eine Inverterstufe des Ringoszillators mit Guard-Ring-Strukturen.

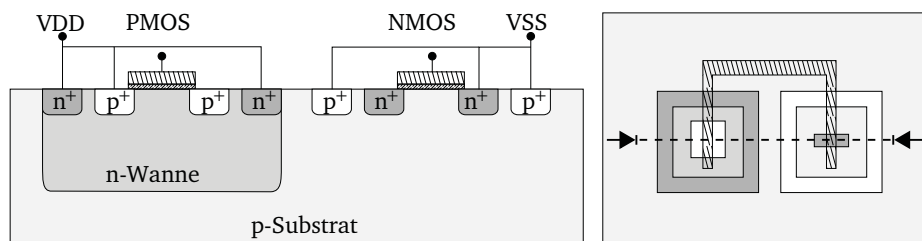


Abbildung 4.29: CMOS-Inverter mit Guard-Ring-Schutzstrukturen zur Unterdrückung des Latch-Up-Effekt (links: Querschnitt, rechts: Layout und Schnittlinie).

Alle n- und p-Kanal-Transistoren des Testchips *TUD-T60* wurden mit Guard-Ringen versehen, da ausreichend Platz auf dem Testchip zur Verfügung steht und die Integration dieser Schutzstrukturen technologisch keinen Mehraufwand mit sich bringt, da die Strukturen zusammen mit den Source- und Drain-Gebieten hergestellt werden. Dieses Konzept wurde erfolgreich bei den in Kapitel 5.7.7 gezeigten Ringoszillatoren eingesetzt.

Modifizierter LOCOS-Prozess

Ein weiterer Ansatz zur Unterdrückung des Latch-Up-Effekts ist die elektrische Trennung der n- und p-Kanal-Transistoren durch einen Isolator. Ein mögliches Verfahren ist die LOCOS-Isolation (*engl.* Local Oxidation of Silicon: lokale Oxidation von Silizium) [189]. Hier wird auf einem Si-Substrat eine dünne SiO_2 -Schicht thermisch gewachsen (Padoxid, $d_{SiO_2} \approx 50$ nm) und darüber eine Si_3N_4 -Schicht ($d_{Si_3N_4} \approx 100-200$ nm) aufgebracht, die dann nach einem Lithographieschritt mit der Maskenebene „4-LOCOS“ trockenchemisch strukturiert wird. Anschließend wird in einem Feuchtoxidationsprozess lokal an unmaskierten Stellen eine dicke Feldoxidschicht (FOX, $d_{SiO_2} \approx 1,2$ μm) aufgewachsen, die die n- und p-Kanal-Transistoren elektrisch voneinander trennt. Die Si_3N_4 - und die unterliegende SiO_2 -Schicht werden abschließend nasschemisch

entfernt. Im *Gate-Last*-Prozess ist dieses Verfahren in der vorgestellten Form nicht anwendbar, da das Feldoxid nur zu 55 % der Dicke in das Si-Substrat wächst und die verbliebenen 45 % zu einem Volumenzuwachs und damit zu einer Substratopographie von rund 550 nm führen. Wie in Abbildung 4.30 schematisch gezeigt, werden diese Stufen durch konforme Abscheidungen auf die Struktur der Dummy-Struktur übertragen, was im späteren Planarisierungsprozess des Alignmenttoxids starke Erosionen und im ungünstigsten Fall Unterbrechungen der Dummy-Strukturen oberhalb des Feldoxids zur Folge hat.

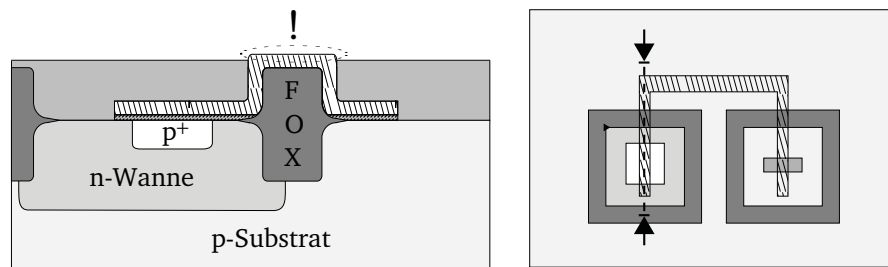


Abbildung 4.30: Inkompatibilität der LOCOS-Isolation zum *Gate-Last* Prozess (links: Querschnitt, rechts: Layout und Schnittlinie). Die auftretende Topographie führt zu einer massiven Erosion von Teilbereichen der Dummy-Struktur während des Planarisierungsprozesses des Alignmenttoxids.

Da der CMP-Prozess ursprünglich zur Planarisierung von Substratoberflächen entwickelt wurde, liegt die Idee nahe, in einem Planarisierungsprozess das Feldoxid bis zur Siliziumebene einzuebnen und so die Topographiestufen zu entfernen. Die aktiven Transistorgebiete liegen dabei unter der Si_3N_4 -Maske des LOCOS-Prozesses vergraben, die gleichzeitig als Polierstoppschicht verwendet wird. Der Planarisierungs-Prozess, der mit dem Poliermittel *Cabot D6720*[®] und einem *JH Rhodes ESM-U-Pad* durchgeführt wurde, weist eine Abtragsrate von 66 nm/min auf und lässt sich ex situ sehr gut kontrollieren, da die Restoxiddicke einfach wie in Abbildung 4.31 gezeigt mit einem Oberflächenprofilometer bestimmt werden kann. Da die Substratoberfläche vor der Planarisierung layoutbedingt zu ca. 70 % aus ebenem Feldoxid besteht, ist globale Uniformität des LOCOS-CMP-Prozesses über einem 4"-Substrat erhöht im Vergleich zur Uniformität des Planarisierungsprozesses des Alignmenttoxids (vgl. Kapitel 4.2.4), zeigt jedoch noch Abweichungen von 100 nm in der Restoxiddicke.

Weiterhin zeigen sich in Abbildung 4.31 Dishing-Effekte zwischen den Si_3N_4 -Maskierungen. Diese sind im vorliegenden Beispiel mit 15–20 nm vernachlässigbar, erhöhen sich aber in Kombination der nichtidealen Uniformität des CMP-Prozesses auf dem Rest des Substrates auf Werte größer 100 nm. Dies steht wiederum im Widerspruch zu der Forderung nach einer planaren Substratoberfläche für den *Gate-Last* Prozess, insbesondere unter der Berücksichtigung einer weiteren Verschlechterung der Planarität durch die Entfernung der Si_3N_4 -Maske. Versuche mit reduzierter Si_3N_4 -Dicke (75 nm, 50 nm und 30 nm) und härterem Polierpad (*Cabot*[®] *Epic D100*) führten nicht zu einer tolerierbaren Planarität, so dass der modifizierte LOCOS-Prozess für das *Gate-Last*-Konzept als ungeeignet einzustufen ist.

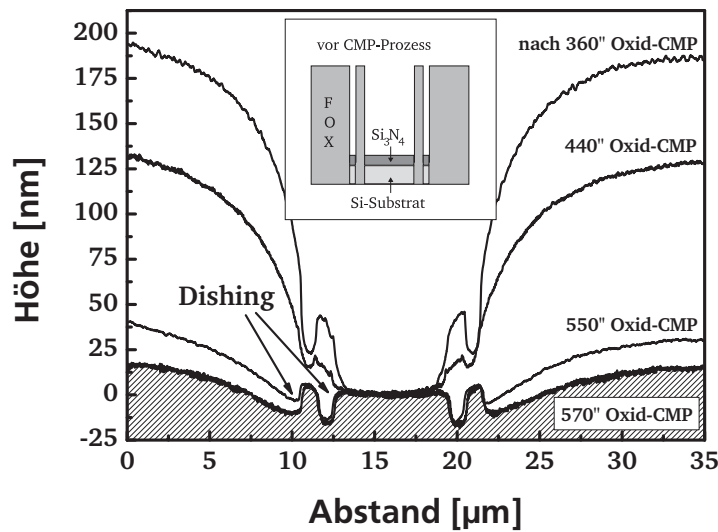


Abbildung 4.31: Topographieänderung des Feldoxids im LOCOS-CMP-Prozess. Zwischen den Si_3N_4 -Masken treten deutliche Dishing-Lücken auf. Im Einsatz ist schematisch die Substrattoptopographie vor dem LOCOS-CMP-Prozess gezeigt.

STI-Prozess

Die STI-Technik (*engl.* Shallow Trench Isolation: Grabenisolation) ist seit Jahren die bevorzugte Isolationstechnik bei der industriellen Fertigung von CMOS-Schaltkreisen, vor allem bei Technologieknoten unter $0,25\ \mu\text{m}$ [190][191]. Das Verfahren wurde entwickelt, da das in Kapitel 4.3.1 vorgestellte LOCOS-Verfahren eine Ausbildung von sogenannten ‘Vogelschnäbeln’ durch seitliche O_2 -Diffusion unter die Si_3N_4 -maskierten Bereichen während der Feldoxidation zeigt, die die Packungsdichte auf dem Chip begrenzen. Analog zum LOCOS-Prozess maskiert ein $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Stapel die späteren Transistorgebiete während des Prozesses, jedoch wird statt einer Feldoxidation in einem Trockenätzprozess ein ca. 500 nm tiefer Graben in das Si-Substrat geätzt. Auf dem Substrat wird dann eine SiO_2 -Schicht in einem PECVD-Verfahren abgeschieden, die anschließend chemisch-mechanisch planarisiert wird. Die Si_3N_4 -Schicht dient dabei als Polierstoppschicht. Nach Entfernen des $\text{SiO}_2/\text{Si}_3\text{N}_4$ -Schutzstapels wird abschließend die überstehende SiO_2 -Schicht rückgeätzt. Wie in Abbildung 4.32 gezeigt, sind benachbarte Transistorgebiete durch einen mit SiO_2 verfüllten Graben getrennt, was den Latch-Up-Effekt unterbindet.

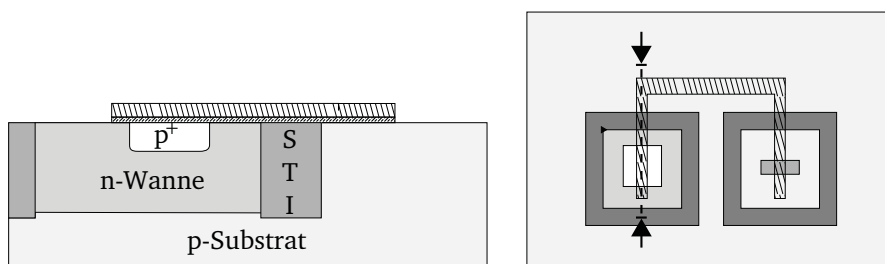


Abbildung 4.32: STI-Isolation im Gate-Last Prozess (links: Querschnitt, rechts: Layout und Schnittlinie). Dargestellt ist schematisch der Idealfall eines dishingfreien STI-CMP-Prozess.

Die Testreihe zur Erprobung des STI-Verfahrens wurde mit dem gleichen Setup durchgeführt wie die des modifizierten LOCOS-Prozesses in Kapitel 4.3.1. Der Hauptunterschied der Oxid-Planarisierung liegt in der Substrattopographie, die invertiert zu der des LOCOS-Verfahrens ist, wie aus den Einsätzen der Abbildungen 4.31 und 4.33 hervorgeht. Die auf der Substratoberfläche liegenden exponierten Strukturen werden aufgrund der Größe und eines Gesamtflächenanteils von nur ca. 30 % relativ schnell abgetragen, wie Abbildung 4.33 entnommen werden kann. Der Dishing-Effekt auf den Testsubstraten ist aufgrund anlagenbedingter schlechter globaler Uniformität sehr stark ausgeprägt. Im vorliegenden Beispiel wurde die optimale Prozesszeit der untersuchten Struktur mit $t=350$ s bestimmt. Diese Struktur liegt in der Substratmitte, die die höchste Abtragsrate aufweist. Weiter außenliegende Strukturen weisen eine Prozesszeit von bis zu 500 s auf, was zu massiven Dishing- und Erosions-Effekte durch Überpolieren an weiter innen liegenden Strukturen führt. Die Forderung nach einer planaren Substratoberfläche kann auch mit diesem Verfahren zum jetzigen Zeitpunkt nicht erfüllt werden.

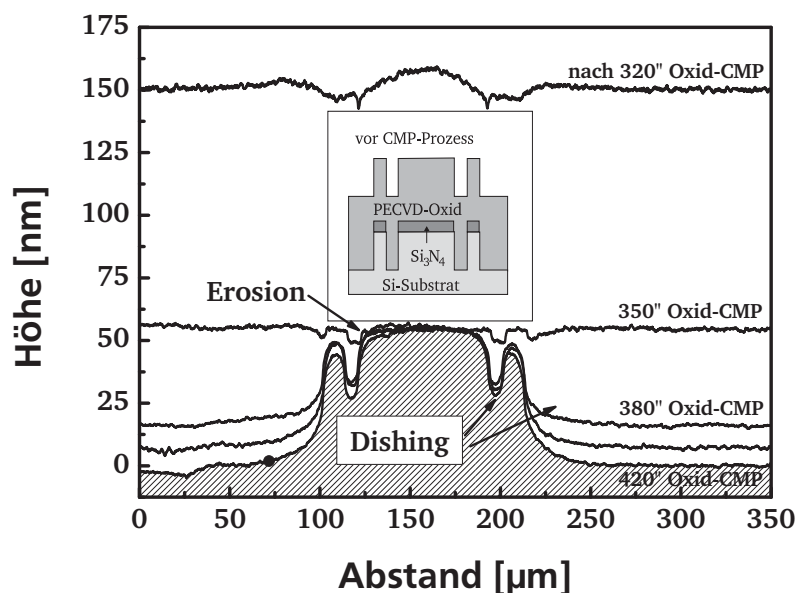


Abbildung 4.33: Topographieänderung der SiO_2 -Schicht im STI-CMP-Prozess. Deutlich zu erkennen sind überpolierte Bereiche neben der Si_3N_4 -Maskierung. Im Einsatz ist schematisch die Substrattopographie vor dem STI-CMP-Prozess gezeigt.

Ein Ansatz zur Verbesserung der lokalen und globalen Uniformität ist die Modifikation des Maskenlayouts durch zusätzliche Integration von Dummy-Strukturen, die als Stützstellen während des CMP-Prozesses wirken [192][139].

4.4 Gate-Last-Herstellungsprozess MOS-Kondensatoren

Für ein breit angelegte Untersuchung verschiedener High- k -Metall-Schichtstapel ist die alleinige Herstellung von MOS-Transistoren in einer Gate-Last-Technik im universitären Rahmen ungeeignet, da der Fabrikationsprozess eines MOS-Transistors gemäß Anhang A ca. 100 Einzelprozessschritte umfasst, die in einer universitären Prozesslinie im Idealfall einen Zeitraum von 5–6 Monaten beanspruchen. Deutlich schneller ist die Herstellung von Gate-Last MOS-Kondensatoren mit einem Arbeitsumfang von ca. 40 Einzelprozessschritten, da auf die Bauelement-Isolation und die Herstellung der Anschlusszonen verzichtet wird und die Grabenstruktur durch einen Ätzprozess hergestellt wird. Im Folgenden wird der neuentwickelte und in Abbildung 4.34 skizzierte Herstellungsprozess für MOS-Kondensatoren in Gate-Last-Technik beschrieben.

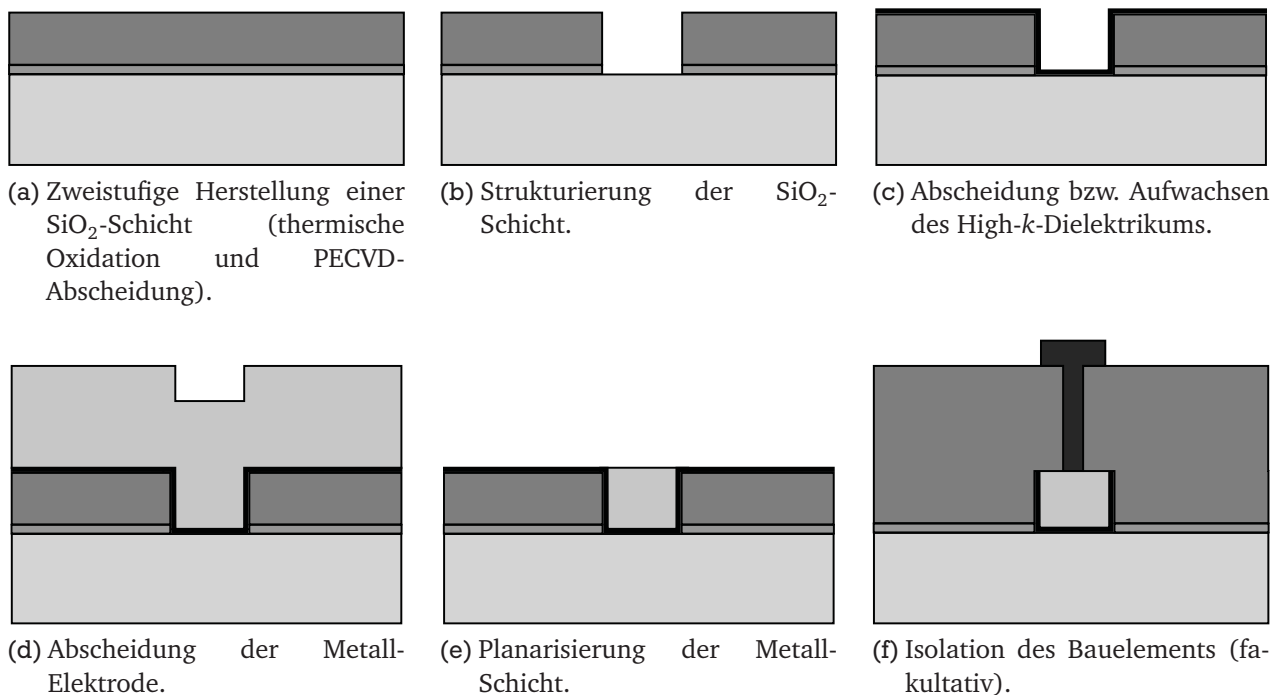


Abbildung 4.34: Übersicht der Herstellungsschritte eines MOS-Kondensators in Gate-Last-Technik

Zu Beginn des Prozesses wird in einem Trockenoxidationsprozess eine SiO_2 -Schicht der Dicke $d_{\text{SiO}_2} = 50 \text{ nm}$ auf dem Si-Substrat gewachsen und eine SiO_2 -Schicht der Dicke $d_{\text{SiO}_2} = 450 \text{ nm}$ in einem PECVD-Verfahren abgeschieden (vgl. Abbildung 4.34a). Die so hergestellte SiO_2 -Schicht entspricht dem Alignmentoxid der Transistorfertigung in Gate-Last-Technik. Analog wird durch die auf dem Si-Substrat thermisch gewachsene SiO_2 -Schicht eine bestmögliche Qualität der Si-Oberfläche in Bezug auf Rauheit und Defektdichte nach einer Entfernung der SiO_2 -Schicht ermöglicht. Nach einem Lithographieschritt unter Verwendung eines Umkehrfotolacks (AZ[®]-5214E) und der Maskenebene „11-POLY“ wird die SiO_2 -Schicht zu 90 % der Schichtdicke in einem CHF_3 -Ar-Plasma trockenchemisch durchätzt (vgl. Abbildung 4.34b). Aufgrund der besseren Selektivität zum Si-Substrat wird die Restoxidschicht in einem nasschemischen Ätzprozess entfernt, was ein Überätzen verhindert sowie die Si-Oberfläche schont (vgl. Abbildung 4.21). Die dabei auftretende Unterätzung der Lackmaske und Vergrößerung der Grabenweite ist aufgrund der Strukturgröße vernachlässigbar.

Die folgenden Prozessschritte - das Aufwachsen bzw. Abscheiden des High- k -Dielektrikums, die Abscheidung des Elektroden-Materials und des CMP-Metalls sowie der Planarisierungsprozess der Metallschicht - verlaufen analog zum in Kapitel 4.2 vorgestellten Prozesskonzept zur Transistorfertigung (vgl. Abbildungen 4.34c - 4.34e) und vervollständigen die Herstellung eines MOS-Kondensators in Gate-Last-Technik.

Eine weiterführende Prozessierung mit einer Abscheidung eines Isolationsoxides, einer Kontaktlochätzung und der Herstellung der Verdrahtung muss nur dann durchgeführt werden, wenn Strukturen mit einer Fläche kleiner $25\text{ }\mu\text{m} \cdot 25\text{ }\mu\text{m}$ mit einer Messspitze elektrisch kontaktiert werden müssen. Die auf dem Testchip *TUD-T60* zahlreich vorhandenen Teststrukturen vom Typ *D50* und *D25* sind dann allerdings unter dem Isolationsoxid vergraben und für eine Messung nicht mehr zugänglich. Die Teststrukturen dienen in der eigentlichen Aufgabe als Stützstelle bei der Planarisierung von SiO_2 -Schichten in einem Gate-Last-Prozess zur Herstellung von MOS-Transistoren, sind jedoch vollwertige MOS-Kondensatoren nach der Herstellung der Metall-Elektrode.

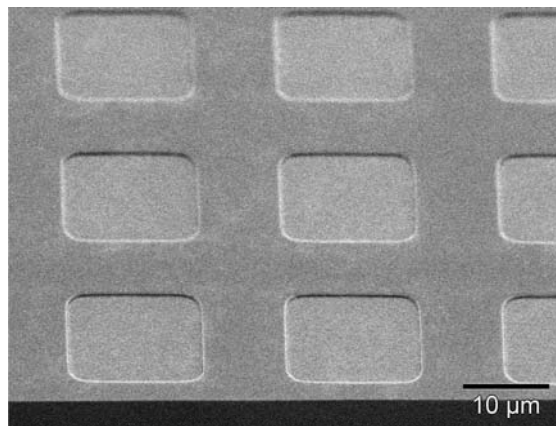


Abbildung 4.35: Rasterelektronenmikroskopische Aufnahme der Teststruktur *D50*, die auf dem Testchip *TUD-T60* tausendfach integriert ist.

Das nasschemische Entfernen des Rückseitenoxids vervollständigt den Gate-Last MOS-Kondensator-Prozess. Eine vollständige und detaillierte Aufführung aller Prozessschritte ist im Anhang A zu finden.

4.5 Skalierung des Gate-Last-Prozesses

Insbesondere für eine industrielle Verwendung des in dieser Arbeit entwickelten Gate-Last-Konzeptes ist die Frage der Skalierbarkeit des Prozesses von Interesse. Die im Rahmen dieser Arbeit hergestellten Bauelemente basieren auf lichteptischer Lithographie, was die kleinstherstellbaren Strukturgrößen auf ca. $1\text{ }\mu\text{m}$ beschränkt. Um im Rahmen einer Machbarkeitsstudie in Größenordnungen von 100 nm vorzudringen, ist für die universitäre Forschung die Belichtung mit einem Elektronenstrahl Mittel der Wahl. Im Folgenden werden die Entwicklung und die Ergebnisse eines skalierten Gate-Last-Prozesskonzepts auf SOI-Substraten (engl. Silicon On Insulator) vorgestellt.

4.5.1 Layout

Das in Abbildung 4.36 skizzierte Layout der hergestellten Teststrukturen besteht aus den Maskenebenen Justagemarken/ Schreibfeldrand (#1), aktives Gebiet (#2), Gate-Elektrode und Stützstrukturen (#3), Kontaktlöcher (#4) und Kontaktflächen (#5). Die Maskenebene #1 wird in einem lichtoptischen Verfahren auf das Substrat übertragen, den Maskenebenen #2-5 basieren auf einem elektronenstrahlolithographischen Verfahren. Die Kombination der Vorteile von lichtoptischer und elektronenstrahlolithographischer Lithographie wird als Mixed-Mode-Lithographie bezeichnet [193]. Die Breite des Si-Stegs der aktiven Transistorgebiete beträgt $W = 2,5 \mu\text{m}$, die Linienbreite der Gate-Elektrode und der Stützstrukturen beträgt $L = 100 \text{ nm}$.

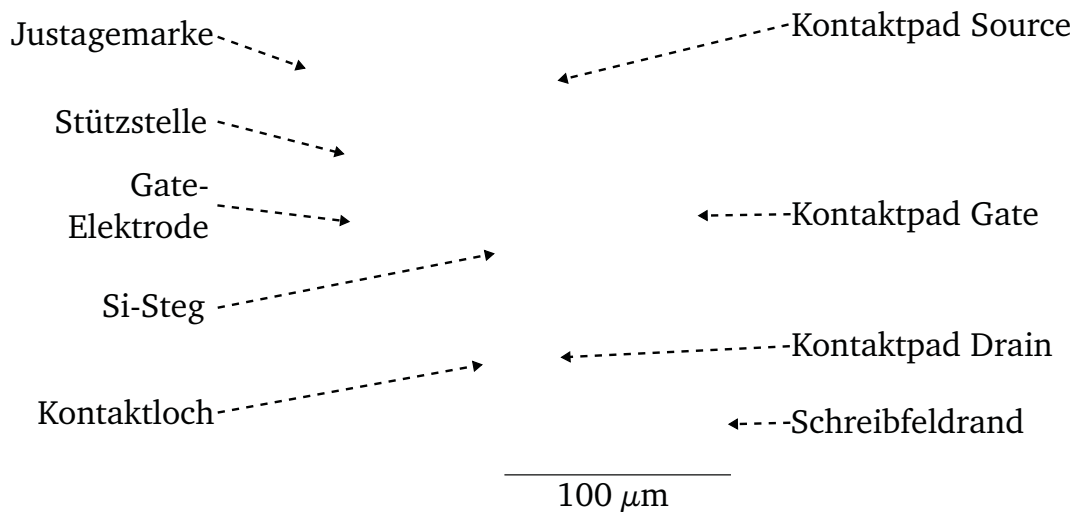


Abbildung 4.36: Layout der Teststruktur zur Evaluation der Skalierbarkeit des *Gate-Last*-Prozesskonzepts. Schreibfeldrand und Justagemarken werden in einem konventionellen lichtoptischen Lithographieverfahren hergestellt, die restlichen Strukturen mittels Elektronenstrahlolithographie. Die Liniendicken der Gate-Elektrode und der Stützstrukturen sind nicht maßstäblich gezeichnet.

Die Stützstrukturen vermindern den Erosions-Effekt an der Dummy-Struktur bei der Planarisierung des Alignmentoxids. Zur Kontaktierung der Source- und Drain-Gebiete des MOS-Transistors dienen die in die Alignmentoxid-Schicht geätzten Kontaktlöcher. Für die Kontaktierung der Gate-Elektrode ist das Öffnen von Kontaktlöchern nicht notwendig, da auf ein Isolationsoxid verzichtet wird und die Metall-Elektrode somit einen direkten Kontakt mit dem Gate-Kontaktfläche aufweist.

4.5.2 Prozessablauf

Nach der Herstellung der Justagemarken und des Schreibfeldrandes in einem lichtoptischen Lithographieverfahren und einem Trockenätzprozess wird die obere Si-Schicht des SOI-Substrats strukturiert. Die so entstehenden Siliziuminseln auf dem vergrabenen Isolationsoxid der Dicke $d_{\text{SiO}_2} = 370 \text{ nm}$ entsprechen den späteren aktiven Transistorgebieten Source und Drain. Anschließend wird auf dem Substrat eine Si_3N_4 -Schicht der Dicke $d_{\text{Si}_3\text{N}_4} = 100 \text{ nm}$ in einem PECVD-Verfahren abgeschieden, aus der mittels Elektronenstrahlolithographie und trockenchemischen Ätzen die Dummy-Struktur und die Stützstellen strukturiert werden. Abbildung 4.37 zeigt eine

rasterkraftmikroskopische Aufnahme der Dummy-Struktur und des aktiven Gebiets.

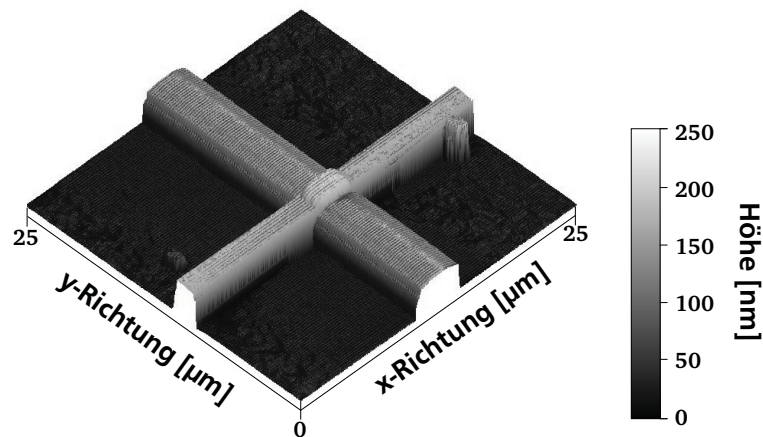
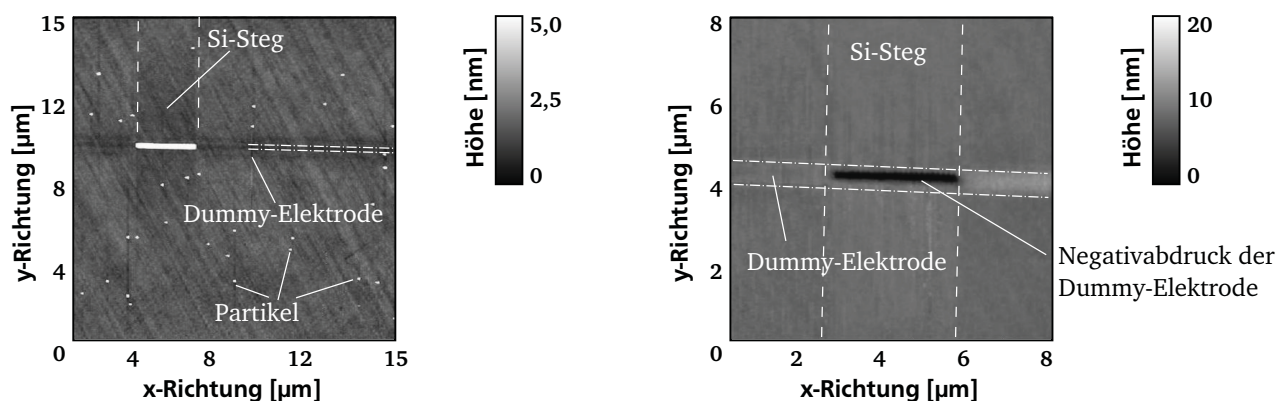


Abbildung 4.37: Rasterkraftmikroskopische Aufnahme der mittels Elektronenstrahlolithographie und trockenchemischen Ätzprozess strukturierten Si_3N_4 -Dummy-Struktur und des aktiven Transistor-Gebiets, die unter der Alignmentoxid-Schicht vor dem Planarisierungsprozess vergraben sind.

Anschließend wird eine SiO_2 -Schicht in einem PECVD-Abfahren abgeschieden und chemisch-mechanisch planarisiert. Das Planarisierungsvermögen dieses Prozesses ist sehr gut, da die Dichte exponierter Strukturen sehr gering ist. Durch eine Limitation des Verfahrenswegs innerhalb des Elektronenstrahlschreibers auf eine Fläche mit maximal zwei Zoll Kantenlänge befinden sich die Strukturen nur in der Mitte des 4 Zoll-Substrates. Daher ist die Uniformität dieses Planarisierungsprozesses nicht von Interesse. Zur Endpunktdetektion wird aufgrund des notwendigen hohen Auflösungsvermögens ein Rasterkraftmikroskop verwendet. Der Endpunkt gilt als erreicht, wenn die Dummy-Struktur im Bereich des aktiven Gebiets aus der planarisierten Alignmentoxid-Schicht ragt (vgl. Abbildung 4.38a).



(a) Nach dem Planarisierungsprozess der Alignmentoxid-Schicht ragt die Dummy-Struktur im Bereich des Si-Steges aus der SiO_2 -Schicht. (b) Nach der nasschemischen Entfernung der Dummy-Struktur ist der Negativabdruck der Dummy-Struktur im Alignmentoxid sichtbar.

Abbildung 4.38: Prozessbegleitende rasterkraftmikroskopische Aufnahmen des skalierten Gate-Last-Prozess.

Wird die gesamte Dummy-Struktur als Linie sichtbar, liegt bereits eine Überpolitur vor, da im Gegensatz zu den Langkanalbauelementen die Dummy-Struktur nicht planar im Bereich des Siliziumsteges verläuft. Vergleichsweise aufwändig gestaltet sich die Reinigung der Substrate nach dem Planarisierungsprozess, da die anhaftenden Abrasivpartikel nicht vollständig durch eine automatisierte Substratreinigung entfernen lassen. Eine hohe Partikelzahl auf der Oberfläche verhindert eine genaue Endpunktdetektion, da die aus der Alignmentoxid-Schicht herausragende Dummy-Struktur in der Masse der Abrasivpartikel nicht zweifelsfrei identifiziert werden kann. Die höhere Bindungskraft der Abrasivpartikel an das Substrat wird vermutlich durch eine elektrostatische Aufladung des SOI-Substrates während des Planarisierungsprozesses begünstigt. Erst durch eine Kombination von HF-Dip, RCA- und automatisierte Reinigung können nahezu alle Partikel entfernt werden. Die Dummy-Struktur wird nasschemisch entfernt und hinterlässt im Bereich des Siliziumsteges einen Negativabdruck in der Alignmentoxid-Schicht (vgl. Abbildung 4.38b). Durch diesen Schritt konnte die prinzipielle Skalierbarkeit des Gate-Last-Konzeptes für Strukturen der Größenordnung 100 nm nachgewiesen werden.

In den so hergestellten Graben wird im Rahmen der weiteren Transistor-Fertigung das Dielektrikum eingebracht. Ergebnisse der Versuche zum Aufwachsen von Gd_2O_3 -Schichten in schmalen Grabenstrukturen in einem Molekularstrahlepitaxie-Prozess sind im folgenden Unterkapitel beschrieben. Die nachfolgende Herstellung der Metall-Elektrode kann aufgrund der Strukturgröße für die universitäre Forschungsanwendung mit einem Lift-Off- statt des in Kapitel 4.2.6 beschriebenen Damascene-Prozesses realisiert werden. Die Strukturierung der Kontaktlöcher für die Source- und Drain-Gebiete komplettieren den Herstellungsprozess.

4.5.3 Versuche zum Gd_2O_3 -Wachstum in schmalen Grabenstrukturen

Das Gd_2O_3 -Schichtwachstum in schmalen Grabenstrukturen der Größenordnung 100 nm in einem Molekularstrahlepitaxieprozess ist bis dato unerforscht. Gegenstand der folgenden Untersuchung sind insbesondere Konformität der abgeschiedenen Schicht sowie die Frage, ob ein epitaktisches Schichtwachstum auf dem Si-Substrat vorliegt. Zur Untersuchung wurde auf einem Si(100)-Substrat eine SiO_2 -Schicht der Dicke $d_{\text{SiO}_2} = 120$ nm in einem PECVD-Prozess abgeschieden und mittels Elektronenstrahlolithographie und trockenchemischen Ätzen strukturiert. In die hergestellten Gräben wurde eine Gd_2O_3 -Schicht in einem Molekularstrahlepitaxieprozess (Institut für Materialien und Bauelemente der Elektronik, LUH Hannover) aufgewachsen. Die Prozesszeit entspricht eine Gd_2O_3 -Schichtdicke $d_{\text{Gd}_2\text{O}_3} = 12$ nm auf einem planaren Si-Substrat. Vor dem Aufwachsprozess war eine vergleichsweise lange Trocknungszeit der Substrate nach der Reinigung notwendig, um die in den feinen Grabenstrukturen befindliche Feuchtigkeit zu entfernen. Abbildung 4.39 zeigt eine transmissionselektronenmikroskopische Aufnahme einer in der beschriebenen Grabenstruktur aufgewachsenen Gd_2O_3 -Schicht.

Die Gd_2O_3 -Schicht weist einen konformen Schichtaufbau auf, was durch die abgeflachten Flanken des geätzten Grabens begünstigt wird. Eine leichte Überätzung in das Si-Substrat ist zu erkennen. Die transmissionselektronenmikroskopischen Aufnahmen in Abbildung zeigen eine (111)-Textur der Gd_2O_3 -Schicht sowohl im Bereich der Grabenwand als auch in der Grabenmitte. Die Gd_2O_3 -Schicht ist nicht wie im Idealfall in einer (100)-Textur epitaktisch auf dem Si(100)-Substrat aufgewachsen. Das Aufwachsen von Gd_2O_3 -Schichten in feinen Grabenstruk-

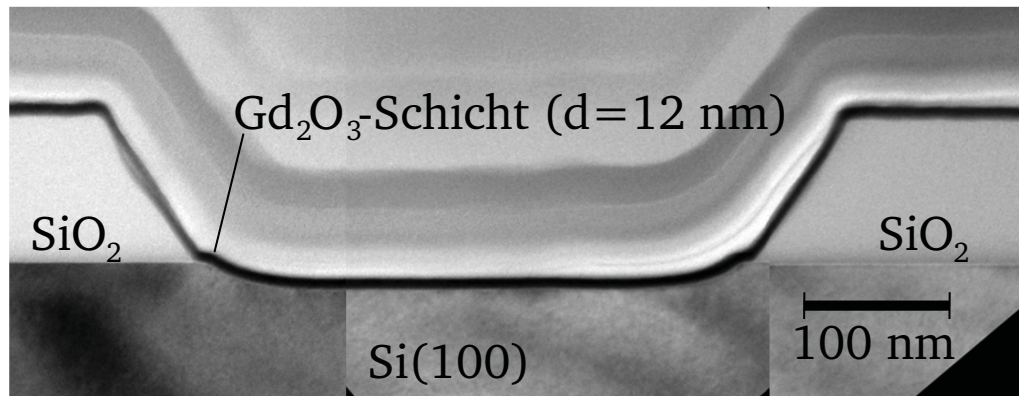
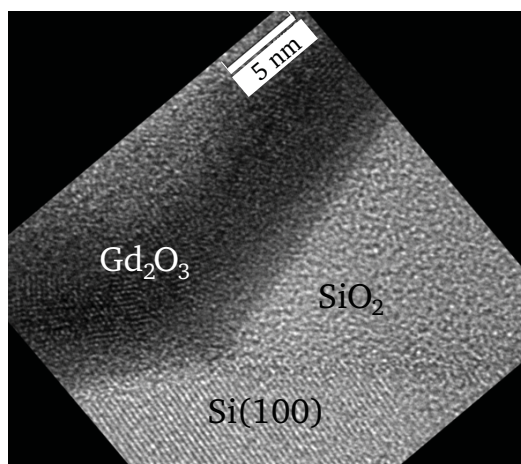
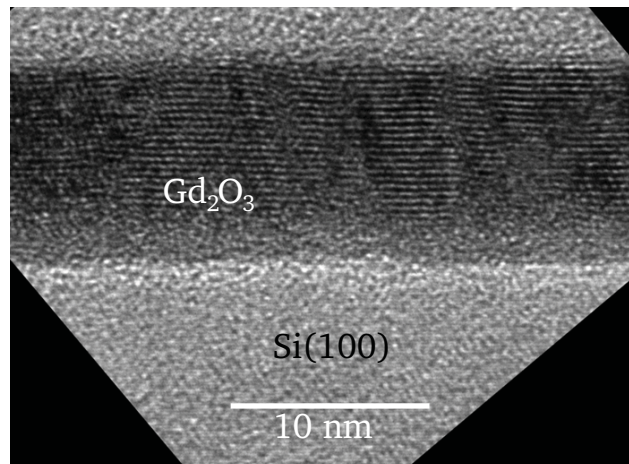


Abbildung 4.39: Transmissionselektronenmikroskopische Aufnahme einer in einer feinen Grabenstruktur aufgewachsenen Gd_2O_3 -Schicht. Die Dicke der SiO_2 -Schicht beträgt $d_{\text{SiO}_2} = 120$ nm, die Solldicke der Gd_2O_3 -Schicht beträgt $d_{\text{Gd}_2\text{O}_3} = 12$ nm. Neben einer konform abgeschiedenen Gd_2O_3 -Schicht ist eine leichte Überätzung ins Si-Substrat zu erkennen.
Aufnahme: E. Bugiel, LU Hannover



(a) Grabenwand



(b) Grabenmitte

Abbildung 4.40: Transmissionselektronenmikroskopische Aufnahme einer Gd_2O_3 -Schicht in einer feinen Grabenstruktur. Die Gd_2O_3 -Schicht ist sowohl am Grabenrand als auch in der Grabenmitte in einer (111)-Textur aufgewachsen.
Aufnahmen: E. Bugiel, LU Hannover

turen ist somit prinzipiell möglich, die Herstellung geeigneter Testsubstrate und der Aufwuchsprozess müssen jedoch optimiert werden.

Zusammenfassung

Im Kapitel 4 wurden die im Rahmen dieser Arbeit entwickelten Prozessfolgen für die Herstellung von MOS-Kondensatoren, MOS-Transistoren und CMOS-Schaltkreisen in einer *Gate-Last*-Technik vorgestellt. Diese umfassen neben der Anpassung von Standardprozessen die Konzeption eines neuen Testchips mit CMP-optimierten Layout, die Auswahl von geeigneten Dummy-Schichtstapeln und Metallen zur Planarisierung und für die Verwendung als Elektrodenmaterial, die Optimierung eines Dotierungsprozesses für p-Kanal-Bauelemente sowie eines Kontaktlochprozesses, die Entwicklung eines Planarisierungsprozesses für SiO₂- und für W-Schichten mit zugehöriger Endpunktdetektion und Substratreinigung, die Evaluation eines geeigneten Isolationsprozesses zur Herstellung von CMOS-Schaltkreisen sowie dem Nachweis der Skalierbarkeit des *Gate-Last*-Prozesskonzepts.

Durch die Entwicklung und Optimierung des *Gate-Last*-Konzeptes steht für diese Arbeit eine universelle Plattform zur materialschonenden Untersuchung von High-*k*-Dielektrika und Metall-Elektroden in MOS-Bauelementen zur Verfügung. Im folgenden Kapitel 5 werden die Ergebnisse der elektrischen Charakterisierung der im Rahmen dieser Arbeit in *Gate-Last*-Technik hergestellten MOS-Bauelemente und CMOS-Schaltkreise vorgestellt und diskutiert.